
KEIm-08SoM ハードウェアマニュアル

Ver.1.1.2



はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口又は弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置（航空、宇宙機器、原子力制御機器、生命維持のための医療機器等）には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品又は本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部又は一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各メーカーの商標または登録商標です。

お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

keim-support@kd-group.co.jp

目次

1. 概要.....	4
1.1. 基本仕様.....	4
1.2. ボードレイアウト.....	5
1.3. 基板外形.....	5
2. ハードウェア構成.....	6
2.1. ブロック図.....	6
2.2. 電源回路.....	6
2.3. クロック回路.....	6
2.4. リセット回路.....	7
2.5. 汎用ポート回路.....	7
3. 電気的特性.....	8
3.1. 絶対最大定格.....	8
3.2. 推奨動作条件.....	8
3.3. 入出力ピン仕様.....	8
4. コネクタピンアサイン.....	9
5. 更新履歴.....	11

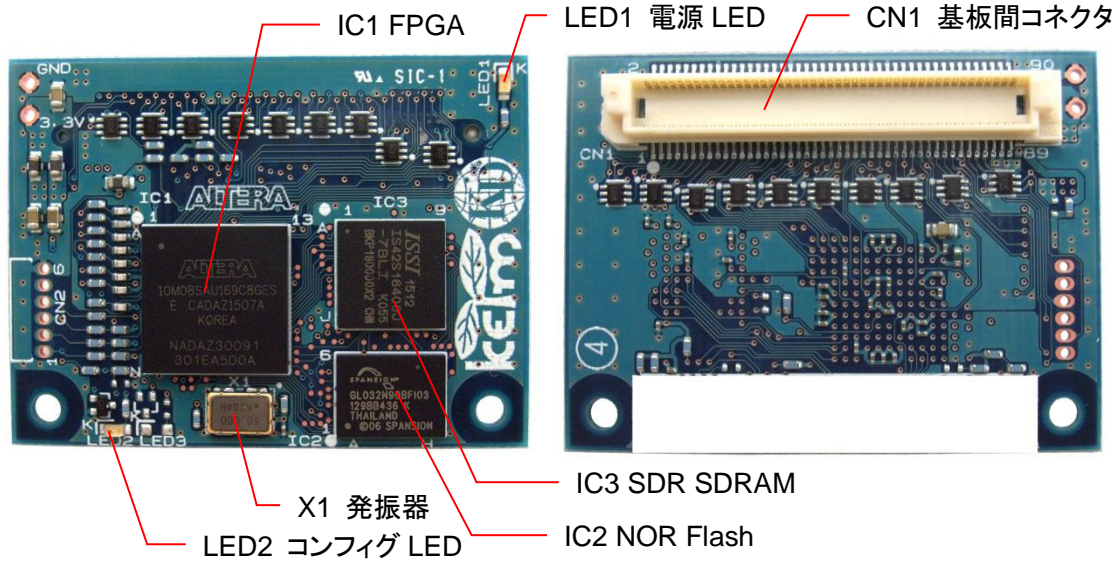
1. 概要

本書は Altera® MAX® 10 FPGA を搭載した System on Module (以降 SoM) KEIm-08SoM のハードウェア仕様について記載します。

1.1. 基本仕様

項目		内容
FPGA	型式	10M08SCU169I7G(Altera)
	Logic Elements	8,064
	M9Ks	42 (Total memory bits:387,072)
	UFM blocks	1 (16Kbits + 16Kbits)
	Multiplier 9bit elements	48
	PLLs	1
外部メモリ	SDR SDRAM	8MByte、バス幅 16bit、 IS42S16400J-7BLI (ISSI) または同等品
	NOR Flash	4MByte、バス幅 16bit、 S29GL032N90BF1030 (Spansion)または同等品
IO ポート		最大 66 本
デバッグ		JTAG I/F (基板間コネクタにピンアサイン)
基板間接続		90ピン基板間コネクタ FX8-90P-SV1 (ヒロセ)
電源		+3.3V±5% (3.135~3.465V)
消費電流		約 170mA (FPGA デザインにより変化します)
使用温度範囲		-20~60°C(但し結露なきこと)
外形寸法		40×30mm

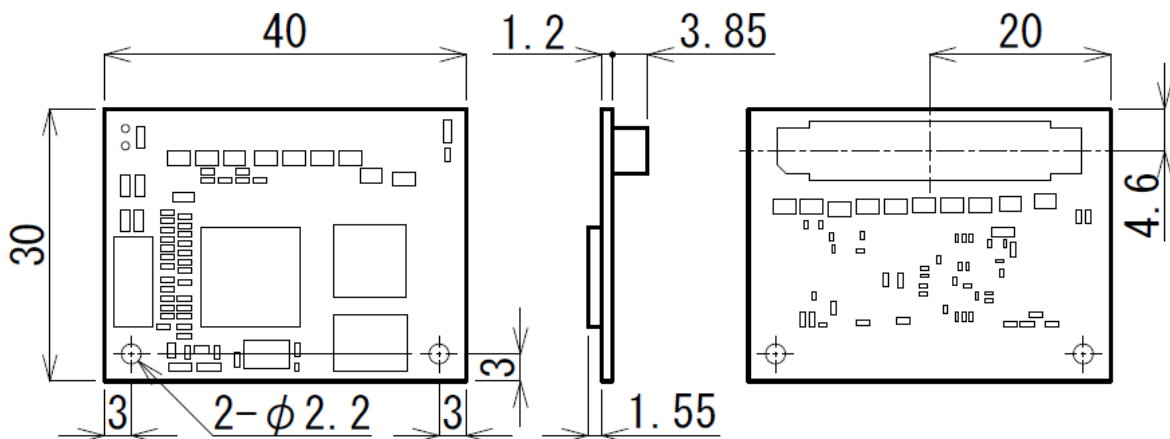
1.2. ボードレイアウト



コンポーネント一覧

リファレンス	名称	説明
CN1	基板間コネクタ	90ピン、0.6mmピッチ
IC1	FPGA	MAX10 FPGA
IC2	NOR Flash	4MByte
IC3	SDR SDRAM	8MByte
X1	発振器	50MHz
LED1	電源 LED	電源 ON 時点灯、OFF 時消灯
LED2	コンフィグ LED	コンフィグ完了時点灯、未完了時消灯

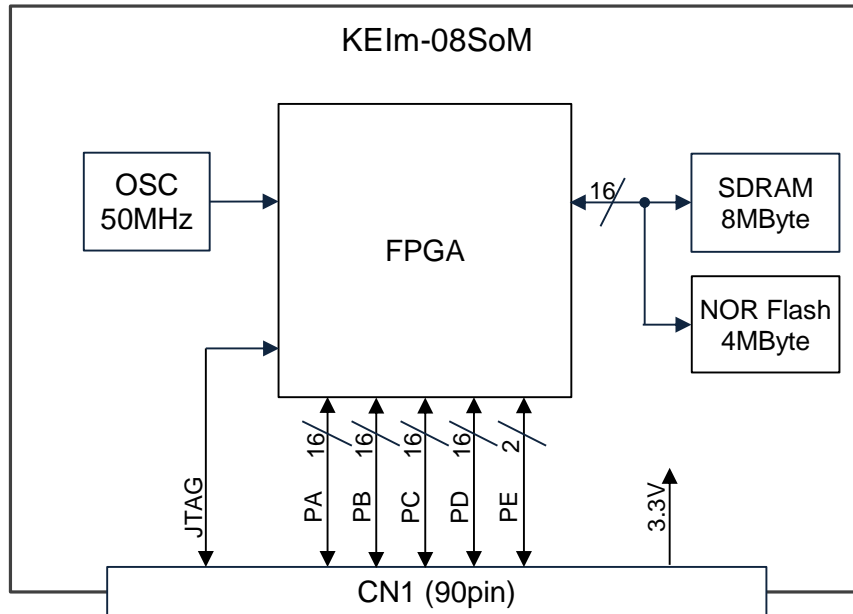
1.3. 基板外形



2. ハードウェア構成

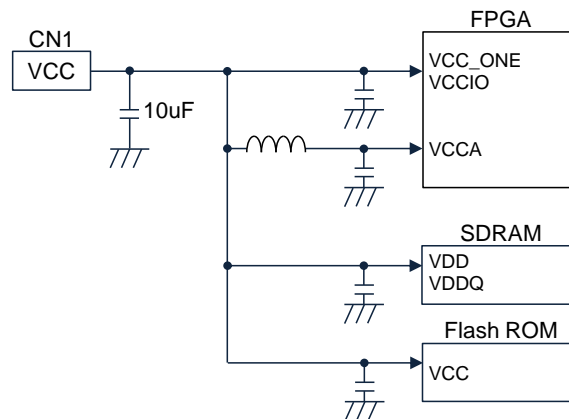
2.1. ブロック図

本製品のブロック図を下記に示します。



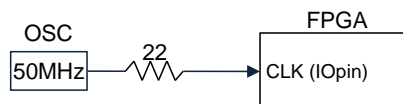
2.2. 電源回路

本製品の電源回路の構成を下記に示します。



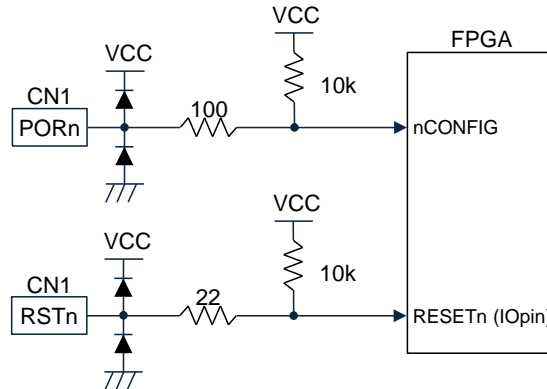
2.3. クロック回路

本製品のクロック回路の構成を下記に示します。

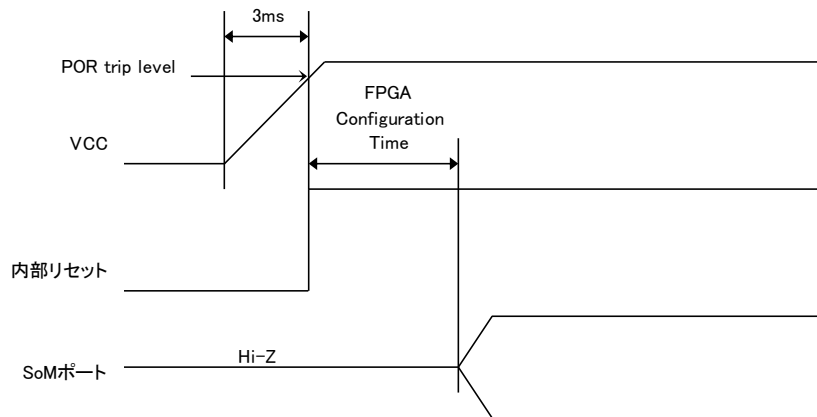


2.4. リセット回路

本製品のリセット回路の構成を下記に示します。PORn 又は RSTn に対して信号を入力する場合、最低 1us 以上は信号をアサートしてください。



電源立ち上げタイミング



※電源立ち上げ時間が 3ms を超える場合は、電源が立ち上がるまで nCONFIG 信号を Low に保持してください。

2.5. 汎用ポート回路

本製品の汎用ポートの回路構成を下記に示します。



3. 電気的特性

3.1. 絶対最大定格

記号	項目	最小	最大	単位
VCC	電源電圧	-0.5	3.9	V
VI	入力電圧	-0.5	4.12	V
Iout	出力電流	-25	25	mA
Topr	動作温度	-20	60	°C

3.2. 推奨動作条件

Symbol	Parameter	Min	Typ	Max	Unit
VCC	電源電圧	3.135	3.3	3.465	V
VI	入力電圧	-0.3		3.6	V
Iout	出力電流	-4		4	mA

3.3. 入出力ピン仕様

Symbol	Parameter	Min	Max	Unit	Condition
VIH	High レベル入力電圧	1.7	3.6	V	
VIL	Low レベル入力電圧	-0.3	0.8	V	
VOH	High レベル出力電圧	2.4		V	IOH=-4mA
VOL	Low レベル出力電圧		0.45	V	IOL=4mA

4. コネクタピンアサイン

ピン 番号	端子名	入出力		I/O Standard	説明
		SoM	Baseboard		
1	PA0	I/O	I/O	3.3V LVTTL	ポート A0
2	PA1	I/O	I/O	3.3V LVTTL	ポート A1
3	PA2	I/O	I/O	3.3V LVTTL	ポート A2
4	PA3	I/O	I/O	3.3V LVTTL	ポート A3
5	PA4	I/O	I/O	3.3V LVTTL	ポート A4
6	PA5	I/O	I/O	3.3V LVTTL	ポート A5
7	PA6	I/O	I/O	3.3V LVTTL	ポート A6
8	PA7	I/O	I/O	3.3V LVTTL	ポート A7
9	PA8	I/O	I/O	3.3V LVTTL	ポート A8
10	PA9	I/O	I/O	3.3V LVTTL	ポート A9
11	PA10	I/O	I/O	3.3V LVTTL	ポート A10
12	PA11	I/O	I/O	3.3V LVTTL	ポート A11
13	PA12	I/O	I/O	3.3V LVTTL	ポート A12
14	PA13	I/O	I/O	3.3V LVTTL	ポート A13
15	PA14	I/O	I/O	3.3V LVTTL	ポート A14
16	PA15	I/O	I/O	3.3V LVTTL	ポート A15
17	GND	-	-	グランド	グランド
18	GND	-	-	グランド	グランド
19	PB0	I/O	I/O	3.3V LVTTL	ポート B0
20	PB1	I/O	I/O	3.3V LVTTL	ポート B1
21	PB2	I/O	I/O	3.3V LVTTL	ポート B2
22	PB3	I/O	I/O	3.3V LVTTL	ポート B3
23	PB4	I/O	I/O	3.3V LVTTL	ポート B4
24	PB5	I/O	I/O	3.3V LVTTL	ポート B5
25	PB6	I/O	I/O	3.3V LVTTL	ポート B6
26	PB7	I/O	I/O	3.3V LVTTL	ポート B7
27	PB8	I/O	I/O	3.3V LVTTL	ポート B8
28	PB9	I/O	I/O	3.3V LVTTL	ポート B9
29	PB10	I/O	I/O	3.3V LVTTL	ポート B10
30	PB11	I/O	I/O	3.3V LVTTL	ポート B11
31	PB12	I/O	I/O	3.3V LVTTL	ポート B12
32	PB13	I/O	I/O	3.3V LVTTL	ポート B13
33	PB14	I/O	I/O	3.3V LVTTL	ポート B14
34	PB15	I/O	I/O	3.3V LVTTL	ポート B15
35	GND	-	-	グランド	グランド
36	GND	-	-	グランド	グランド
37	PC0	I/O	I/O	3.3V LVTTL	ポート C0
38	PC1	I/O	I/O	3.3V LVTTL	ポート C1
39	PC2	I/O	I/O	3.3V LVTTL	ポート C2
40	PC3	I/O	I/O	3.3V LVTTL	ポート C3
41	PC4	I/O	I/O	3.3V LVTTL	ポート C4
42	PC5	I/O	I/O	3.3V LVTTL	ポート C5
43	PC6	I/O	I/O	3.3V LVTTL	ポート C6
44	PC7	I/O	I/O	3.3V LVTTL	ポート C7

ピン番号	端子名	入出力		I/O Standard	説明
		SoM	Baseboard		
45	PC8	I/O	I/O	3.3V LVTTTL	ポート C8
46	PC9	I/O	I/O	3.3V LVTTTL	ポート C9
47	PC10	I/O	I/O	3.3V LVTTTL	ポート C10
48	PC11	I/O	I/O	3.3V LVTTTL	ポート C11
49	PC12	I/O	I/O	3.3V LVTTTL	ポート C12
50	PC13	I/O	I/O	3.3V LVTTTL	ポート C13
51	PC14	I/O	I/O	3.3V LVTTTL	ポート C14
52	PC15	I/O	I/O	3.3V LVTTTL	ポート C15
53	PE0	I/O	I/O	3.3V LVTTTL	ポート E0
54	PE1	I/O	I/O	3.3V LVTTTL	ポート E1
55	GND	-	-	グラウンド	グラウンド
56	GND	-	-	グラウンド	グラウンド
57	RSTn	I	O	リセット	リセット
58	PORn	I	-	パワーオンリセット	パワーオンリセット
59	GND	-	-	グラウンド	グラウンド
60	GND	-	-	グラウンド	グラウンド
61	PD0	I/O	I/O	3.3V LVTTTL	ポート D0
62	PD1	I/O	I/O	3.3V LVTTTL	ポート D1
63	PD2	I/O	I/O	3.3V LVTTTL	ポート D2
64	PD3	I/O	I/O	3.3V LVTTTL	ポート D3
65	PD4	I/O	I/O	3.3V LVTTTL	ポート D4
66	PD5	I/O	I/O	3.3V LVTTTL	ポート D5
67	PD6	I/O	I/O	3.3V LVTTTL	ポート D6
68	PD7	I/O	I/O	3.3V LVTTTL	ポート D7
69	PD8	I/O	I/O	3.3V LVTTTL	ポート D8
70	PD9	I/O	I/O	3.3V LVTTTL	ポート D9
71	PD10	I/O	I/O	3.3V LVTTTL	ポート D10
72	PD11	I/O	I/O	3.3V LVTTTL	ポート D11
73	PD12	I/O	I/O	3.3V LVTTTL	ポート D12
74	PD13	I/O	I/O	3.3V LVTTTL	ポート D13
75	PD14	I/O	I/O	3.3V LVTTTL	ポート D14
76	PD15	I/O	I/O	3.3V LVTTTL	ポート D15
77	NC	-	-		
78	GND	-	-	グラウンド	グラウンド
79	TMS	O	O	JTAG TMS	JTAG TMS
80	TCK	O	O	JTAG TCK	JTAG TCK
81	TDI	O	O	JTAG TDI	JTAG TDI
82	TDO	I	I	JTAG TDO	JTAG TDO
83	TEST1	-	-	テスト用端子	テスト用端子
84	TEST0	-	-	テスト用端子	テスト用端子
85	VCC	I	O	3.3V電源	3.3V電源
86	VCC	I	O	3.3V電源	3.3V電源
87	VCC	I	O	3.3V電源	3.3V電源
88	VCC	I	O	3.3V電源	3.3V電源
89	GND	-	-	グラウンド	グラウンド
90	GND	-	-	グラウンド	グラウンド

5. 更新履歴

Ver.	更新日付	内容
1.0.0	2015/09/28	新規作成
1.1.0	2016/02/15	・1.1 基本仕様の ES 品型式削除及び消費電流追記 ・1.2 ボードレイアウト コンポーネント一覧の 10M08SAU169C8GES を MAX10 FPGA に変更
1.1.1	2016/05/18	・2.4 POR タイミングを電源立ち上げタイミングに変更、記載内容見直し
1.1.2	2016/11/01	FPGA デザイン部分を削除