

---

# KEIm-A5ESoM Mini ハードウェアマニュアル

Ver.1.0



株式会社近藤電子工業

---

## はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアルおよび関連資料を十分にご確認いただき、使用上の注意を守って正しくご使用ください。



### 取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用の際は、弊社窓口または弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置(航空、宇宙機器、原子力制御機器、生命維持のための医療機器等)には使用しないでください。
- 本製品は国内での使用を前提として開発及び製造を行っています。本製品または本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を遵守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部または一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各社の商標または登録商標です。

### お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

[keim-support@kd-group.co.jp](mailto:keim-support@kd-group.co.jp)

## 目次

1. 概要	4
1.1. 製品の特長	4
1.2. 使用上の注意	5
1.3. 基本仕様	6
1.4. ボードレイアウト	7
1.5. ボードブロック図	8
2. 機能仕様	9
2.1. 電源回路	9
2.1.1. パワーアップシーケンス	10
2.1.2. パワーダウンシーケンス	11
2.2. リセット回路	12
2.3. クロック回路	13
2.4. コンフィグレーション回路	15
2.4.1. コンフィグレーションモード	16
2.5. HPS-IO	17
2.6. LPDDR4	19
2.7. SDMMC	21
2.8. TPM	22
2.9. オンチップ電圧センサーおよび温度センサー	23
2.10. ステータス LED	24
2.11. Board to Board コネクタ 1 (CN1)	25
2.11.1. CN1 ピンアサイン	25
2.11.2. CN1 の信号名と説明	27
2.12. Board to Board コネクタ 2 (CN2)	34
2.12.1. CN2 ピンアサイン	34
2.12.2. CN2 の信号名と説明	36
3. 電気的特性	43
3.1. 絶対最大定格	43
3.2. 推奨動作条件	43
3.3. 入出力ピン仕様	43
4. 基板外形	44
5. 更新履歴	44

## 1. 概要

本書は、Agilex™ 5 SoC FPGA E シリーズを搭載した System on Module (以下、SoM) 「KEIm-A5ESoM Mini」のハードウェア仕様について説明するハードウェアマニュアルです。

### 1.1. 製品の特長

本製品は、Agilex™ 5 SoC FPGA E シリーズを搭載した小型の FPGA 組込みプラットフォームです。モジュール上には SoC FPGA の他に、メモリブロックとして LPDDR4 SDRAM、ストレージデバイスとして eMMC、コンフィグレーション ROM として QSPI フラッシュを搭載しています。本製品には以下の特長があります。

- ① FPGA を搭載  
超低遅延や並列処理など、FPGA の特長を生かし、IoT に不可欠なエッジデバイスの製品開発に適したコンポーネントです。
- ② モジュールの外形が小さい  
モジュールを搭載する面積を小さく抑えられるため、最終製品の小型化や製品デザインの差別化に有効です。
- ③ 必要十分のコンポーネントを搭載  
搭載機能を必要最小限に限定しているため、無駄がなく、柔軟性の高い構成となっています。構成が単純化されているため、相対的に信頼性や安定性が高いモジュールとなっています。
- ④ ヒートスプレッタを搭載  
モジュール上にヒートスプレッタを搭載しており、SoC FPGA から発生する熱を効率的に拡散できる構造となっています。これにより、安定した動作と放熱設計の容易化に配慮しています。
- ⑤ 長期供給  
産業機器をはじめとするライフサイクルの長い機器に安心して採用できるよう、長期供給に対応したコンポーネントで構成されています。

本製品は SoM という形態を採用しており、お客様が特定用途向けキャリアボードを開発して組み込むことを想定した製品です。設計に時間の掛かるコアプロセッサ周辺回路は本製品をそのまま利用し、用途ごとにキャリアボードを開発することで、製品開発時間の短縮が可能です。

## 1.2. 使用上の注意

本製品を使用する際は、以下の点に注意してください。

- 本製品は SoM (System on Module) として提供されるモジュールであり、単体では動作しません。使用するには、対応するキャリアボードを別途用意する必要があります。
- 本製品の各インターフェースはキャリアボード設計に依存します。信号レベル、電源仕様、接続方法については本マニュアルおよびデバイス仕様を十分に確認してください。
- 本製品を取り扱う際は、静電気による破壊を防止するため、適切な ESD 対策を行ってください。
- 本製品の動作には適切な電源供給および放熱設計が必要です。システム設計時には電源容量および熱設計に十分注意してください。
- 本製品のヒートスプレッド内側の4つのネジ穴は評価用として用意されています。本ヒートスプレッドは薄型・軽量化を優先した設計としているため、当該ネジ穴のタップ部の強度は十分に確保されていません。そのため、製品用途での使用については機械的強度を保証していません。また、ネジ穴は貫通していますので、基板に接触しないよう、突出量が3mm以下のネジを使用してください。
- TPM に接続されている信号は、SoM の LPDDR4 バンクの I/O に割り付けられています。SoC FPGA の EMIF の仕様により、HPS の F2H ブリッジが有効になっている場合、本機能を使用できません。本機能を使用する際は、HPS の F2H ブリッジを無効 (Disable) に設定してください。

### 1.3. 基本仕様

本製品の基本仕様を以下に示します。

表 1-1 基本仕様

項目		内容
SoC FPGA	デバイスファミリー	Agilex™ 5 SoC FPGA E シリーズ M16A パッケージ ・A5E 008B / 013B / 028B Agilex™ 3 SoC FPGA C シリーズ M16A パッケージ ・A3C 100 / 135
メモリ		4GB 32bit LPDDR4 MT53E1G32D2FW-046 (Micron)
コンフィグレーション ROM		1Gb Quad SPI Flash MT25QU01G BBB (Micron)
ストレージ		32GB eMMC MTFC32GAZAQHD (Micron)
TPM モジュール		SLB9672XU20FW1612XTMA1 (Infineon)
クロック	OSC_CLK_1	25 MHz 固定 OSC
	LPDDR4 リファレンスクロック	100 MHz
Board to Board コネクタ	品種	240 pin 基板間コネクタ x 2
	コネクタ型式	ADF6-60-03.5-L-4-2-A (Samtec)
	HPS-IO	Ethernet (RGMII) x1, USB OTG (ULPI) x1, UART x1, I2C x1, GPIO 最大 48 本 (HPS の構成による)
	HSIO	最大 120 本 (内 24 本は 1.1V バンク)
	HVIO	最大 40 本
	Transceiver(17 Gbps)	最大 8 レーン (028B は 8 レーン、その他のモデルは 4 レーンのみ)
	Debug I/F	JTAG
電源		4.75V ~ 13.2V
消費電流		TBD
使用温度範囲		-40°C ~ +85°C
外形寸法		60 × 43mm

## 1.4. ボードレイアウト

本製品のボードレイアウトおよび本製品に搭載されている主要なコンポーネントを以下に示します。

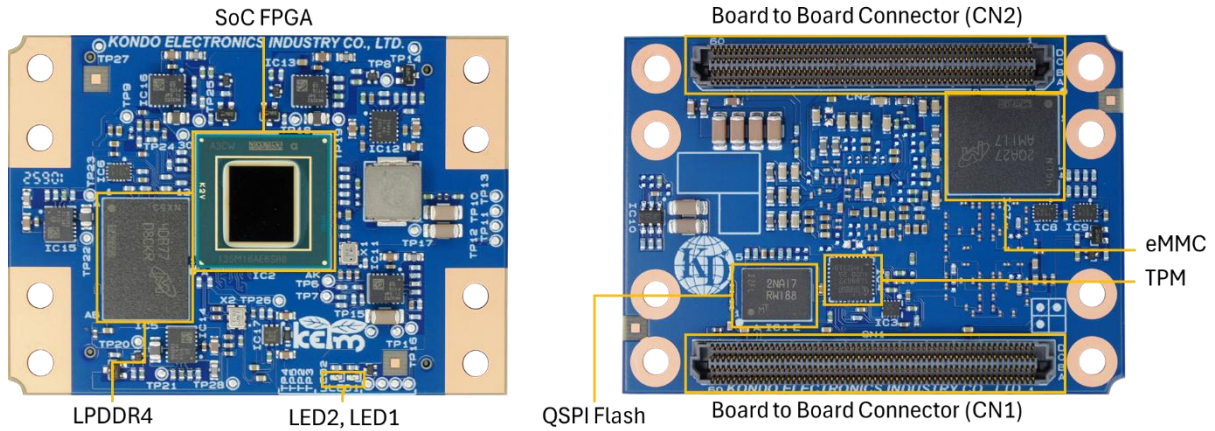


図 1-1 ボードレイアウト

表 1-2 主要コンポーネント一覧

リファレンス	名称	説明
IC2	SoC FPGA	Agilex™ 5 SoC FPGA E シリーズ M16A パッケージ 又は Agilex™ 3 SoC FPGA C シリーズ M16A パッケージ
IC1	QSPI Flash Memory	MT25QU01G BBB8E12-0SIT (Micron)
IC4	TPM デバイス	SLB9672XU20FW1612XTMA1 (Infineon)
IC5	LPDDR4 SDRAM	MT53E1G32D2FW-046IT:B (Micron)
IC7	eMMC	MTFC32GAZAQHD-IT (Micron) microSD カードと排他切換で使用可能
CN1, CN2	Board to Board コネクタ	ADF6-60-03.5-L-4-2-A (Samtec) 240 ピン, 0.635mm ピッチ 4 列ソケット
LED1	CONF_DONE LED	FPGA コンフィグレーション完了時に点灯
LED2	電源 LED	電源が印可されたときに点灯

## 1.5. ボードブロック図

本製品のボードブロック図を以下に示します。

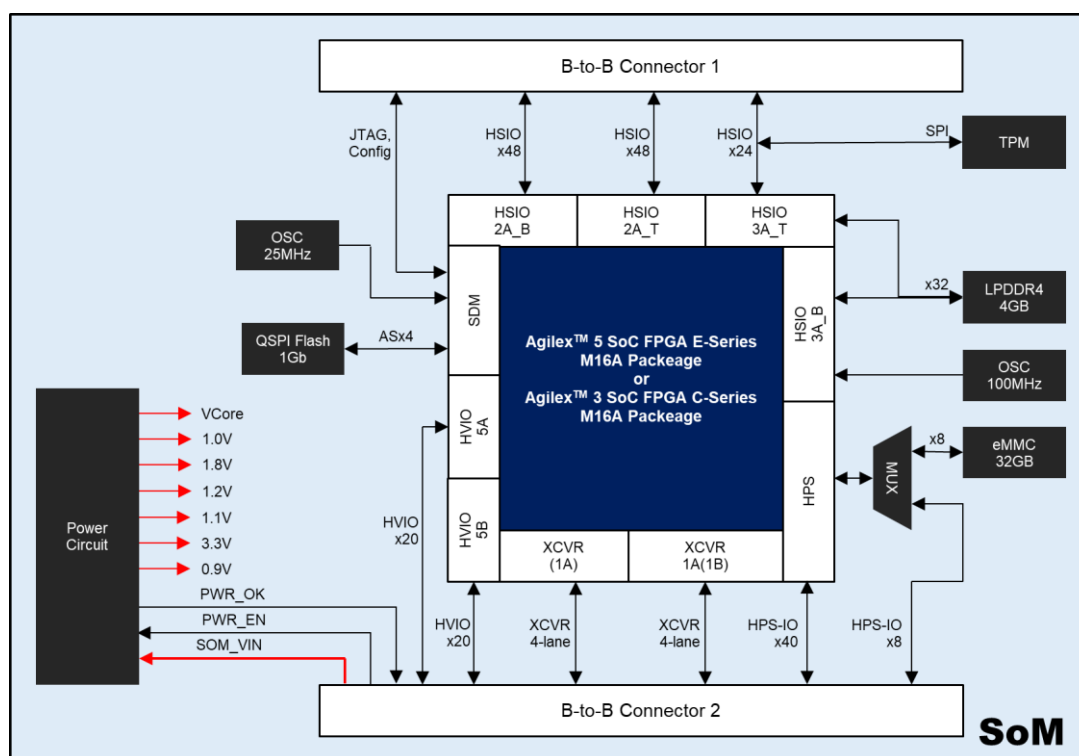


図 1-2 ボードブロック図

## 2. 機能仕様

### 2.1. 電源回路

本製品は、搭載デバイスに必要な電源を供給するため、複数の DC/DC コンバータを搭載しています。また、パワーシーケンサにより、各電源のパワーアップおよびパワーダウンのシーケンス制御を行っています。本製品の電源回路の構成を以下に示します。

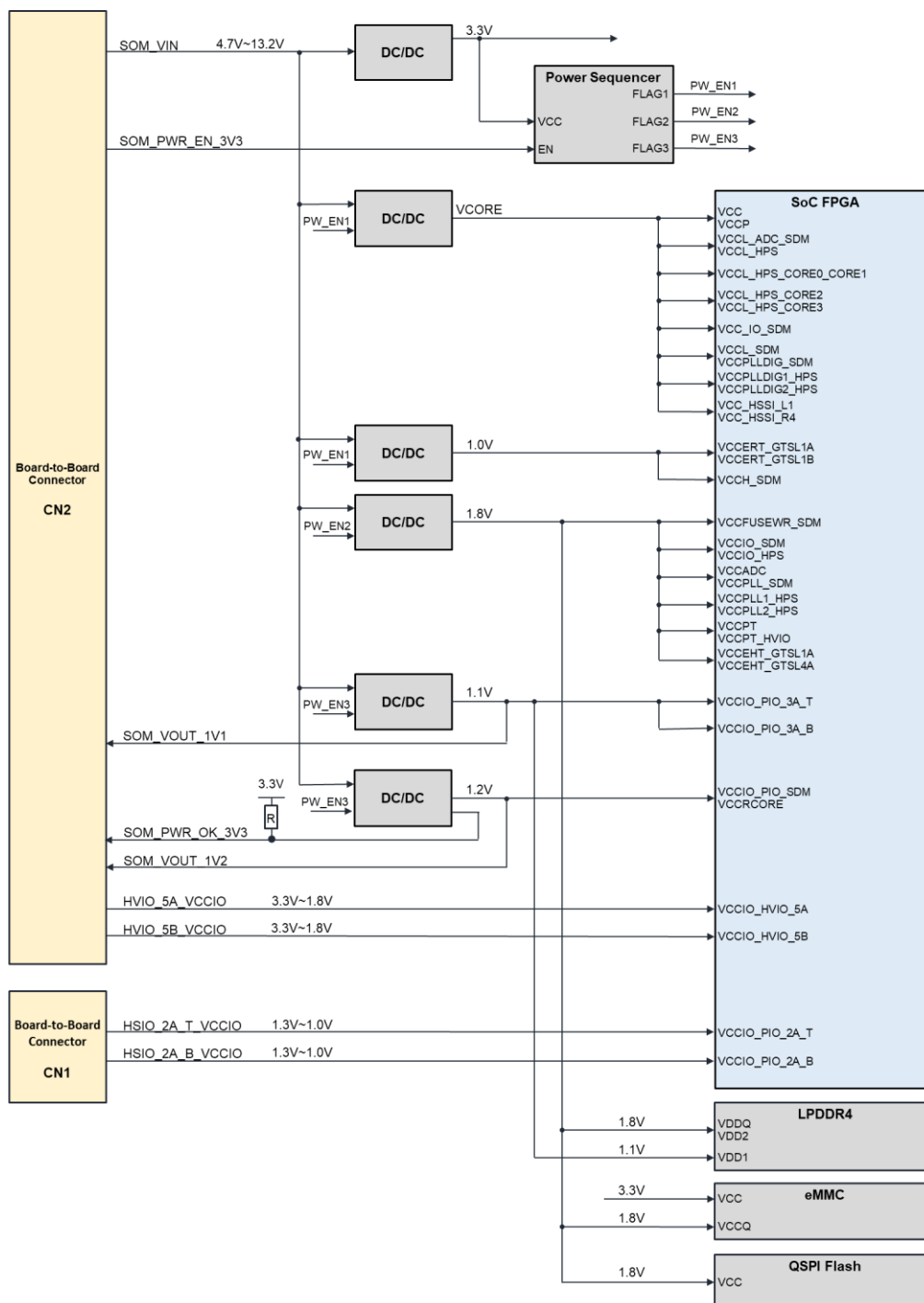


図 2-1 電源回路

### 2.1.1. パワーアップシーケンス

本製品は、搭載デバイスのパワーシーケンスを満たすため、パワーシーケンサを搭載しています。パワーアップシーケンスを以下に示します。一部のVCCIOはSoM内部で供給されています。外部供給が必要なVCCIOおよび各I/Oピンへの電圧印可は、本製品のSOM\_PWR\_OK信号がHighになってから行ってください。

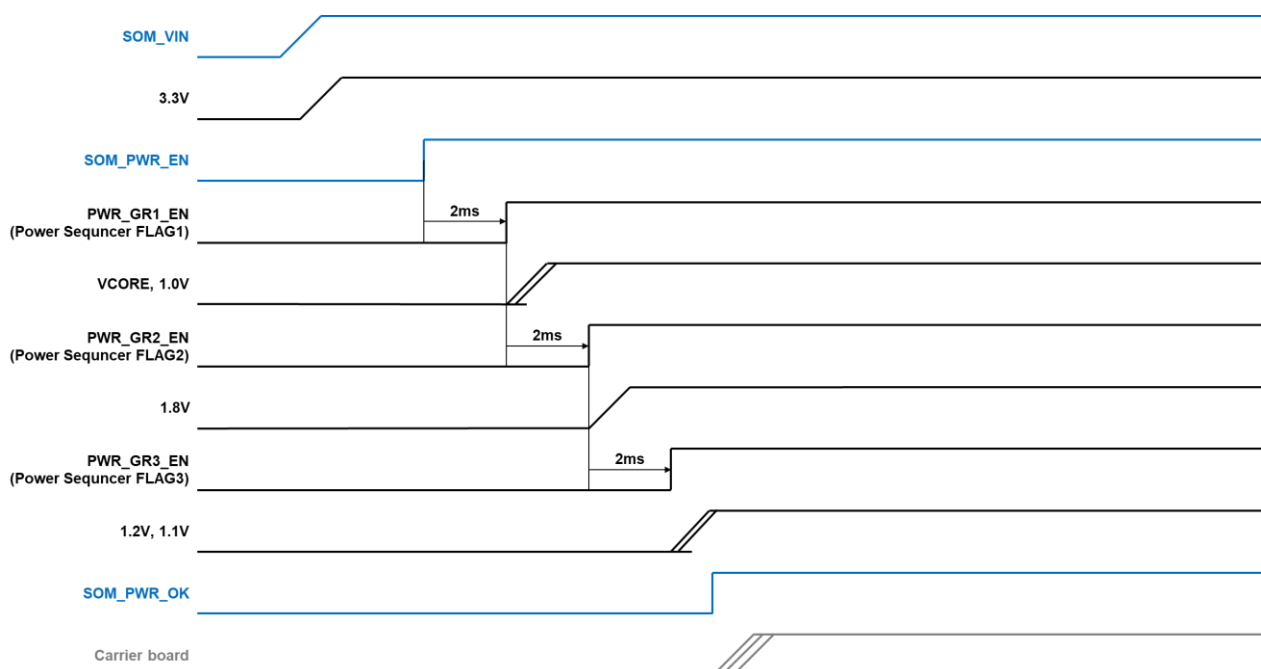


図 2-2 パワーアップシーケンス

## 2.1.2. パワーダウンシーケンス

本製品は、搭載デバイスのパワーシーケンスを満たすため、パワーシーケンサを搭載しています。パワーダウンシーケンスを以下に示します。シーケンスを遵守するため、SOM\_PWR\_EN を Low にした後、SOM\_VIN を約 10ms 間保持してください。

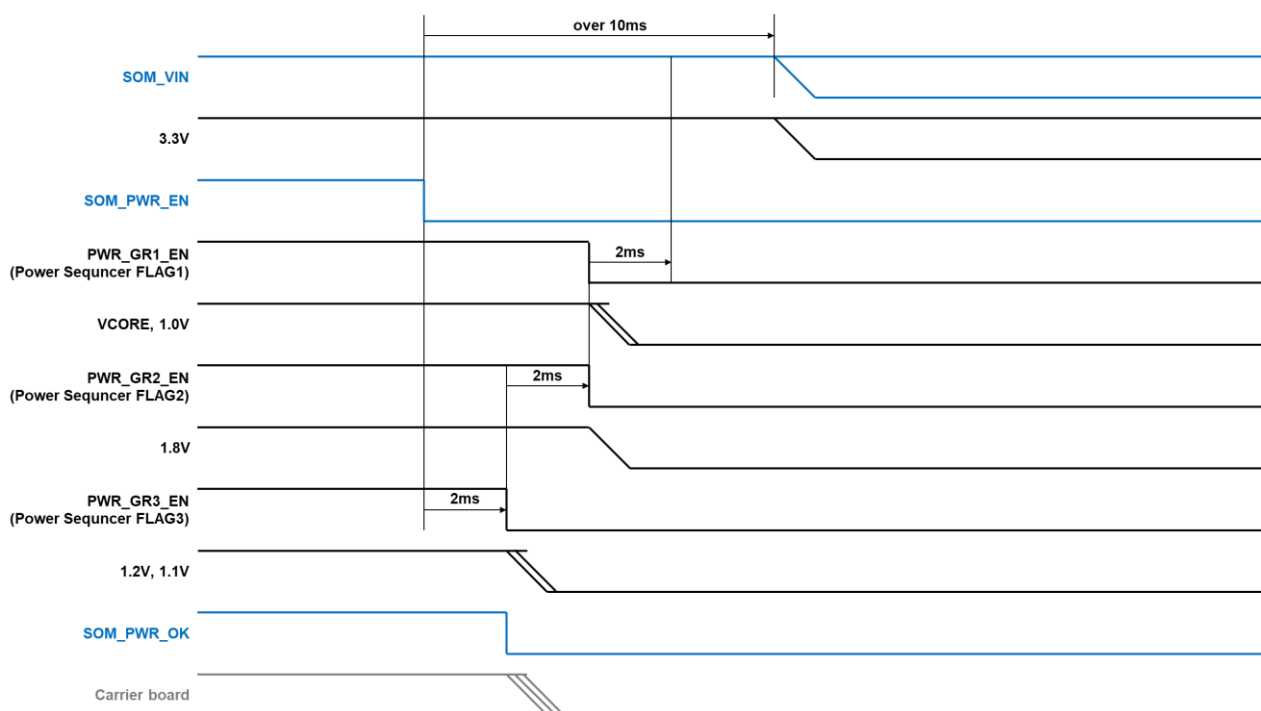


図 2-3 パワーダウンシーケンス

## 2.2. リセット回路

本製品のリセット回路の構成およびピンアサインを以下に示します。

本製品では、回路の柔軟性を確保するため、eMMC のリセット信号は SoC FPGA には接続されていません。eMMC は、コールドリセットごとにリセットされる必要があるため、必要に応じてキャリアボード上で回路を構成し、SOM\_EMMC\_RST\_B\_1V8 端子に接続してください。

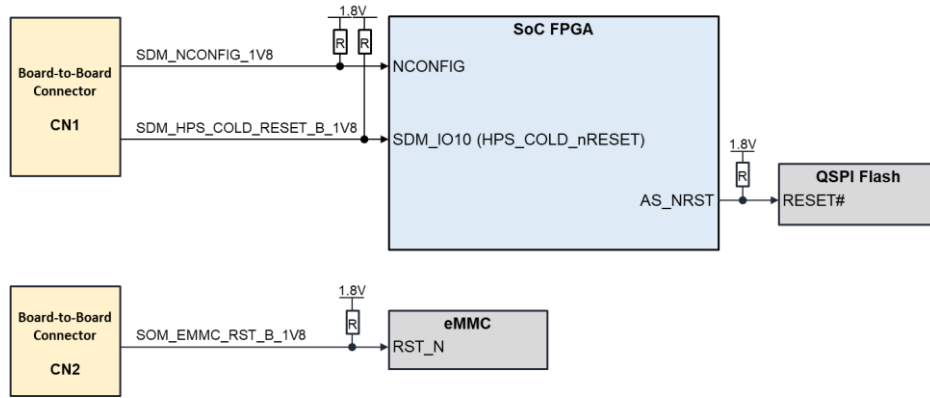


図 2-4 リセット回路

表 2-1 リセット回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
SDM_NCONFIG_1V8	Input	AG15	1.8V	FPGA の NCONFIG 入力端子です。この端子を Low にして、再び High にすることによって、再度 FPGA のコンフィギュレーションが開始されます
SDM_HPS_COLD_RESET_B_1V8	Input	AH11	1.8V	HPS のコールドリセット入力端子です。この端子を Low にすることによって、コールドリセットが実行されます
SOM_EMMC_RST_B_1V8	Input	eMMC	1.8V	eMMC のリセット入力端子です。この端子を Low にすることによって、eMMC をリセットできます

### 2.3. クロック回路

本製品のクロック回路の構成およびピンアサインを以下に示します。

本製品には、LPDDR4 用の 100MHz のリファレンスクロックおよび SDM 用の 25MHz クロックを搭載しています。HPS のリファレンスクロックは搭載されていないため、外部から入力する必要があります。

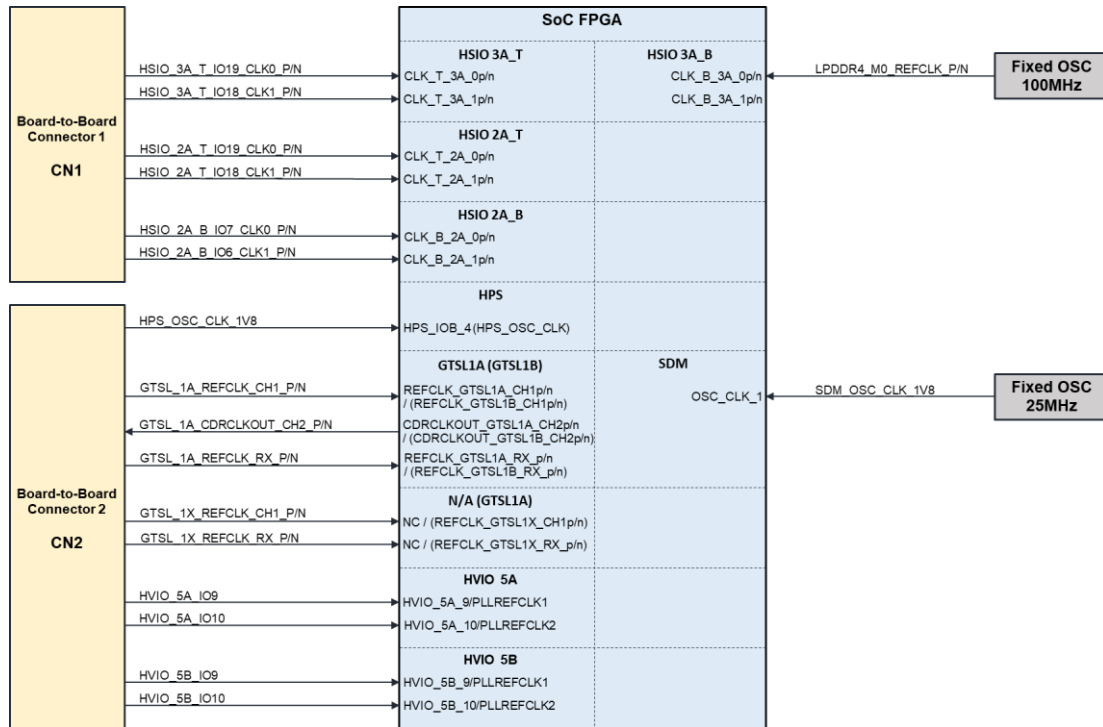


図 2-5 クロック回路

表 2-2 クロック回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
LPDDR4_M0_REFCLK_P	Input	A7	1.1V	LPDDR4 リファレンスクロック入力 (100MHz)
LPDDR4_M0_REFCLK_N	Input	B6	1.1V	LPDDR4 リファレンスクロック入力 (100MHz)
SDM_OSC_CLK_1V8	Input	AG11	1.8V	SDM PLL リファレンスクロック入力 (OSC_CLK_1、25MHz)
HPS_IOA1_1V8	Input	B29	1.8V	HPS リファレンスクロック入力または GPIO
HSIO_3A_T_IO19_CLK0_P	Input, I/O	D2	1.1V	FPGA クロック入力または FPGA I/O
HSIO_3A_T_IO19_CLK0_N	Input, I/O	E2	1.1V	FPGA クロック入力または FPGA I/O
HSIO_2A_T_IO19_CLK0_P	Input, I/O	N2	HSIO_2A_T_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_T_IO19_CLK0_N	Input, I/O	N1	HSIO_2A_T_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_T_IO18_CLK1_P	Input, I/O	AC6	HSIO_2A_T_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_T_IO18_CLK1_N	Input, I/O	AC5	HSIO_2A_T_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_B_IO7_CLK0_P	Input, I/O	AF3	HSIO_2A_B_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_B_IO7_CLK0_N	Input, I/O	AE4	HSIO_2A_B_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_B_IO6_CLK1_P	Input, I/O	AD5	HSIO_2A_B_VCCIO	FPGA クロック入力または FPGA I/O
HSIO_2A_B_IO6_CLK1_N	Input, I/O	AE5	HSIO_2A_B_VCCIO	FPGA クロック入力または FPGA I/O
GTSL_1A_CDRCLKOUT_CH2_N	Output	K25	-	トランシーバー・バンクの CDR リカバリー・クロック出力

信号名	方向	FPGA ピン番号	電圧	説明
GTSL_1A_REFCLK_RX_P	Input	P25	-	トランシーバー・バンクのリージョナル・リファレンス・クロック入力
GTSL_1A_REFCLK_RX_N	Input	P24	-	トランシーバー・バンクのリージョナル・リファレンス・クロック入力
GTSL_1X_REFCLK_CH1_P	Input	V24	-	トランシーバー・バンクのローカル・リファレンス・クロック入力*1
GTSL_1X_REFCLK_CH1_N	Input	V25	-	トランシーバー・バンクのローカル・リファレンス・クロック入力*1
GTSL_1X_REFCLK_RX_P	Input	Y25	-	トランシーバー・バンクのリージョナル・リファレンス・クロック入力*1
GTSL_1X_REFCLK_RX_N	Input	Y24	-	トランシーバー・バンクのリージョナル・リファレンス・クロック入力*1
HVIO_5A_IO9	Input, I/O	AJ22	HVIO_5A_VCCIO	FPGAクロック入力またはFPGA I/O
HVIO_5A_IO10	Input, I/O	AJ20	HVIO_5A_VCCIO	FPGAクロック入力またはFPGA I/O
HVIO_5B_IO9	Input, I/O	AJ27	HVIO_5B_VCCIO	FPGAクロック入力またはFPGA I/O
HVIO_5B_IO10	Input, I/O	AH27	HVIO_5B_VCCIO	FPGAクロック入力またはFPGA I/O

\*1 搭載デバイスが A5E 028B の場合のみ、これらの端子は使用可能です。それ以外のデバイスでは未接続となっています。



## 2.4. コンフィグレーション回路

本製品のコンフィグレーション回路の構成およびピンアサインを以下に示します。コンフィグレーション・モードは MSEL2 ピンおよび MSEL1 ピンをキャリアボードから設定することによって選択することが可能です。

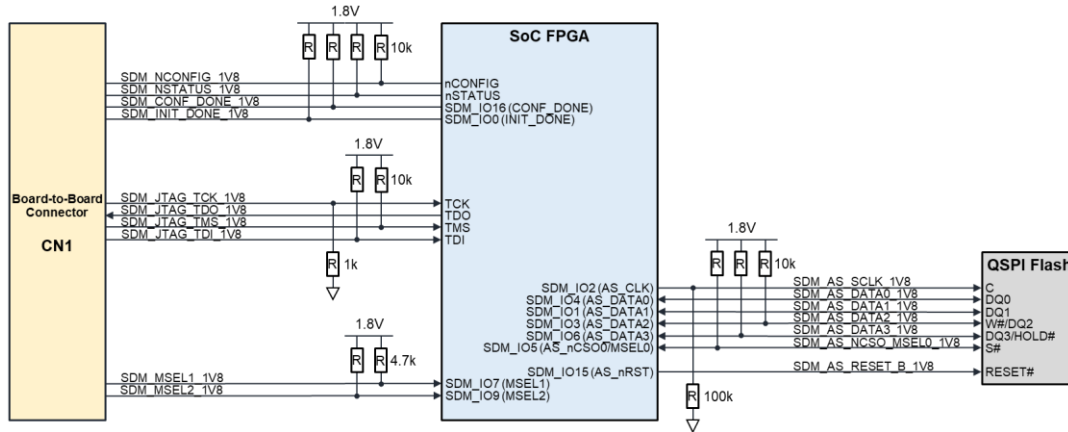


図 2-6 コンフィグレーション回路

表 2-3 コンフィグレーション回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
SDM_NCONFIG_1V8	Input	AG15	1.8V	FPGA 再コンフィグレーション入力
SDM_NSTATUS_1V8	Input	AG16	1.8V	FPGA コンフィグレーション・ステータス出力
SDM_CONF_DONE_1V8	Output	AF9	1.8V	FPGA コンフィグレーション完了出力
SDM_INIT_DONE_1V8	Output	AG10	1.8V	FPGA イニシャライゼーション完了出力
SDM_JTAG_TCK_1V8	Input	AF16	1.8V	JTAG テストクロック入力
SDM_JTAG_TDO_1V8	Output	AE16	1.8V	JTAG テストデータ出力
SDM_JTAG_TMS_1V8	Input	AF17	1.8V	JTAG テストモード入力
SDM_JTAG_TDI_1V8	Input	AE17	1.8V	JTAG テストデータ入力
SDM_AS_RESET_B_1V8	Output	AG13	1.8V	QSPI フラッシュ・リセット出力
SDM_AS_SCLK_1V8	Output	AH10	1.8V	QSPI フラッシュ・クロック入力
SDM_AS_DATA0_1V8	I/O	AE10	1.8V	QSPI フラッシュ・データ 0
SDM_AS_DATA1_1V8	I/O	AK9	1.8V	QSPI フラッシュ・データ 1
SDM_AS_DATA2_1V8	I/O	AF14	1.8V	QSPI フラッシュ・データ 2
SDM_AS_DATA3_1V8	I/O	AG14	1.8V	QSPI フラッシュ・データ 3
SDM_AS_NCS0_MSEL0_1V8	Input, Output	AH12	1.8V	QSPI フラッシュ・チップ選択出力 パワー・アップ時は MSEL0 入力
SDM_MSEL1_1V8	Input	AK10	1.8V	MSEL1 入力
SDM_MSEL2_1V8	Input	AJ9	1.8V	MSEL2 入力

### 2.4.1. コンフィグレーションモード

本製品の MSEL 端子を High レベル (論理 1) または Low レベル (論理 0) にすることにより、コンフィグレーションモードを変更できます。各設定を以下に示します。

表 2-4 コンフィグレーションモード

名称	MSEL2	MSEL1	MSEL0	説明
JTAG Only Mode	1	1	1	コンフィグレーションは JTAG のみ行われます
AS Normal Mode	0	1	1	Normal モードで、オンボードの QSPI フラッシュからコンフィグレーションを行います。
AS Fast Mode	0	0	1	Fast モードで、オンボード QSPI フラッシュからコンフィグレーションを行います。

## 2.5. HPS-IO

本製品は 48 本の HPS-IO をすべて Board to Board コネクタに接続しており、システムに応じて自由に構成を変更できるようにしています。HPS-IO のピンアサインを以下に示します。

表 2-5 HPS-IO ピンアサイン

SoM 信号名	HPS 信号名	FPGA ピン番号	電圧	説明
HPS_IOA1_1V8	HPS_IOA_1	B29	1.8V	HPS IOA ビット 1
HPS_ETH_INT_B_1V8	HPS_IOA_2	A27	1.8V	HPS IOA ビット 2 / Ethernet 割り込み入力
HPS_UART_TXD_1V8	HPS_IOA_3	C27	1.8V	HPS IOA ビット 3 / UART0 送信データ
HPS_UART_RXD_1V8	HPS_IOA_4	F24	1.8V	HPS IOA ビット 4 / UART0 受信データ
HPS_1PPS_OUT_1V8	HPS_IOA_5	B28	1.8V	HPS IOA ビット 5 / EMAC2 1PPS 出力信号
HPS_1PPS_IN_1V8	HPS_IOA_6	F23	1.8V	HPS IOA ビット 6 / EMAC2 1PPS 入力信号
HPS_ETH_MDIO_1V8	HPS_IOA_7	D27	1.8V	HPS IOA ビット 7 / EMAC2 シリアルデータ (MDIO)
HPS_ETH_MDC_1V8	HPS_IOA_8	E22	1.8V	HPS IOA ビット 8 / EMAC2 シリアルクロック (MDC)
HPS_I2C_SDA_1V8	HPS_IOA_9	C26	1.8V	HPS IOA ビット 9 / I2C シリアルデータ
HPS_I2C_SCL_1V8	HPS_IOA_10	D22	1.8V	HPS IOA ビット 10 / I2C シリアルクロック
HPS_IOA11_1V8	HPS_IOA_11	A23	1.8V	HPS IOA ビット 11
HPS_IOA12_1V8	HPS_IOA_12	A26	1.8V	HPS IOA ビット 12
HPS_ULPI_CLK_1V8	HPS_IOA_13	D25	1.8V	HPS IOA ビット 13 / USB1 クロック
HPS_ULPI_STP_1V8	HPS_IOA_14	B26	1.8V	HPS IOA ビット 14 / USB1 ストップ・データ
HPS_ULPI_DIR_1V8	HPS_IOA_15	B25	1.8V	HPS IOA ビット 15 / USB1 ディレクション
HPS_ULPI_DATA0_1V8	HPS_IOA_16	E17	1.8V	HPS IOA ビット 16 / USB1 データ・ビット 0
HPS_ULPI_DATA1_1V8	HPS_IOA_17	A16	1.8V	HPS IOA ビット 17 / USB1 データ・ビット 1
HPS_ULPI_NXT_1V8	HPS_IOA_18	E16	1.8V	HPS IOA ビット 18 / USB1 ネクスト・データ
HPS_ULPI_DATA2_1V8	HPS_IOA_19	D24	1.8V	HPS IOA ビット 19 / USB1 データ・ビット 2
HPS_ULPI_DATA3_1V8	HPS_IOA_20	E21	1.8V	HPS IOA ビット 20 / USB1 データ・ビット 3
HPS_ULPI_DATA4_1V8	HPS_IOA_21	B23	1.8V	HPS IOA ビット 21 / USB1 データ・ビット 4
HPS_ULPI_DATA5_1V8	HPS_IOA_22	D20	1.8V	HPS IOA ビット 22 / USB1 データ・ビット 5
HPS_ULPI_DATA6_1V8	HPS_IOA_23	B24	1.8V	HPS IOA ビット 23 / USB1 データ・ビット 6
HPS_ULPI_DATA7_1V8	HPS_IOA_24	A24	1.8V	HPS IOA ビット 24 / USB1 データ・ビット 7
HPS_SDMMC_DATA0_1V8	HPS_IOB_1	D23	1.8V	HPS IOB ビット 1 / SDMMC データ 0
HPS_SDMMC_DATA1_1V8	HPS_IOB_2	C25	1.8V	HPS IOB ビット 2 / SDMMC データ 1
HPS_SDMMC_CLK_1V8	HPS_IOB_3	A18	1.8V	HPS IOB ビット 3 / SDMMC クロック
HPS_OSC_CLK_1V8	HPS_IOB_4	C20	1.8V	HPS IOB ビット 4 / クロック入力
HPS_IOB5_1V8	HPS_IOB_5	A17	1.8V	HPS IOB ビット 5
HPS_SDMMC_DATA2_1V8	HPS_IOB_6	C21	1.8V	HPS IOB ビット 6 / SDMMC データ 2
HPS_SDMMC_DATA3_1V8	HPS_IOB_7	C23	1.8V	HPS IOB ビット 7 / SDMMC データ 3
HPS_SDMMC_CMD_1V8	HPS_IOB_8	E20	1.8V	HPS IOB ビット 8 / SDMMC コマンド
HPS_IOB9_1V8	HPS_IOB_9	C22	1.8V	HPS IOB ビット 9
HPS_IOB10_1V8	HPS_IOB_10	D19	1.8V	HPS IOB ビット 10
HPS_IOB11_1V8	HPS_IOB_11	B21	1.8V	HPS IOB ビット 11
HPS_IOB12_1V8	HPS_IOB_12	A22	1.8V	HPS IOB ビット 12
HPS_RGMII_TX_CLK_1V8	HPS_IOB_13	B16	1.8V	HPS IOB ビット 13 / EMAC2 送信クロック
HPS_RGMII_TX_CTRL_1V8	HPS_IOB_14	B18	1.8V	HPS IOB ビット 14 / EMAC2 送信コントロール
HPS_RGMII_RX_CLK_1V8	HPS_IOB_15	E19	1.8V	HPS IOB ビット 15 / EMAC2 受信クロック
HPS_RGMII_RX_CTRL_1V8	HPS_IOB_16	B20	1.8V	HPS IOB ビット 16 / EMAC2 受信コントロール
HPS_RGMII_TXD0_1V8	HPS_IOB_17	C18	1.8V	HPS IOB ビット 17 / EMAC2 送信データ・ビット 0
HPS_RGMII_TXD1_1V8	HPS_IOB_18	A21	1.8V	HPS IOB ビット 18 / EMAC2 送信データ・ビット 1
HPS_RGMII_RXD0_1V8	HPS_IOB_19	D17	1.8V	HPS IOB ビット 19 / EMAC2 受信データ・ビット 0
HPS_RGMII_RXD1_1V8	HPS_IOB_20	A19	1.8V	HPS IOB ビット 20 / EMAC2 受信データ・ビット 1
HPS_RGMII_TXD2_1V8	HPS_IOB_21	D18	1.8V	HPS IOB ビット 21 / EMAC2 送信データ・ビット 2
HPS_RGMII_TXD3_1V8	HPS_IOB_22	B19	1.8V	HPS IOB ビット 22 / EMAC2 送信データ・ビット 3

SoM 信号名	HPS 信号名	FPGA ピン番号	電圧	説明
HPS_RGMII_RXD2_1V8	HPS_IOB_23	C17	1.8V	HPS IOB ビット 23 / EMAC2 受信データ・ビット 2
HPS_RGMII_RXD3_1V8	HPS_IOB_24	C16	1.8V	HPS IOB ビット 24 / EMAC2 受信データ・ビット 3

## 2.6. LPDDR4

本製品はワークメモリとして、32bit 幅、4GB の LPDDR4 SDRAM を搭載しています。本メモリは FPGA の EMIF (External Memory Interface) に接続されており、HPS 実装時には OS 用メモリとして使用できます。また、HPS 非実装時には画像用のフレームメモリなどとして使用することも可能です。

LPDDR4 回路の構成およびピンアサインを以下に示します。

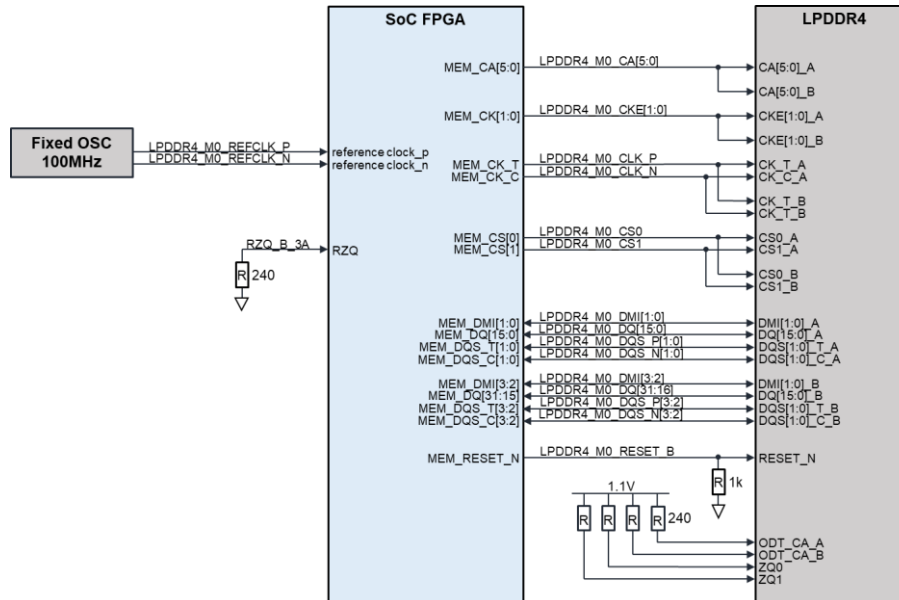


図 2-7 LPDDR4 回路

表 2-6 LPDDR4 回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
LPDDR4_M0_CA0	Output	C2	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CA1	Output	D3	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CA2	Output	C3	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CA3	Output	B3	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CA4	Output	A6	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CA5	Output	B5	1.1V	LPDDR4 コマンド/アドレス
LPDDR4_M0_CKE0	Output	A4	1.1V	LPDDR4 クロック・イネーブル
LPDDR4_M0_CKE1	Output	B4	1.1V	LPDDR4 クロック・イネーブル
LPDDR4_M0_CS0	Output	C7	1.1V	LPDDR4 チップ・セレクト
LPDDR4_M0_CS1	Output	C6	1.1V	LPDDR4 チップ・セレクト
LPDDR4_M0_REFCLK_P	Input	A7	1.1V	LPDDR4 リファレンスクロック
LPDDR4_M0_REFCLK_N	Input	B6	1.1V	LPDDR4 リファレンスクロック
RZQ_B_3A	I/O	E14	1.1V	バンク 3A RZQ ピン
LPDDR4_M0_DMIO	I/O	B11	1.1V	LPDDR4 データ・マスク・インバージョン・ビット 0
LPDDR4_M0_DMI1	I/O	D13	1.1V	LPDDR4 データ・マスク・インバージョン・ビット 1
LPDDR4_M0_DMI2	I/O	K5	1.1V	LPDDR4 データ・マスク・インバージョン・ビット 2
LPDDR4_M0_DMI3	I/O	L7	1.1V	LPDDR4 データ・マスク・インバージョン・ビット 3

信号名	方向	FPGA ピン番号	電圧	説明
LPDDR4_M0_DQ0	I/O	B14	1.1V	LPDDR4 データ・ビット 0
LPDDR4_M0_DQ1	I/O	A14	1.1V	LPDDR4 データ・ビット 1
LPDDR4_M0_DQ2	I/O	A8	1.1V	LPDDR4 データ・ビット 2
LPDDR4_M0_DQ3	I/O	B8	1.1V	LPDDR4 データ・ビット 3
LPDDR4_M0_DQ4	I/O	B9	1.1V	LPDDR4 データ・ビット 4
LPDDR4_M0_DQ5	I/O	A9	1.1V	LPDDR4 データ・ビット 5
LPDDR4_M0_DQ6	I/O	A13	1.1V	LPDDR4 データ・ビット 6
LPDDR4_M0_DQ7	I/O	B13	1.1V	LPDDR4 データ・ビット 7
LPDDR4_M0_DQ8	I/O	C13	1.1V	LPDDR4 データ・ビット 8
LPDDR4_M0_DQ9	I/O	D14	1.1V	LPDDR4 データ・ビット 9
LPDDR4_M0_DQ10	I/O	D10	1.1V	LPDDR4 データ・ビット 10
LPDDR4_M0_DQ11	I/O	C10	1.1V	LPDDR4 データ・ビット 11
LPDDR4_M0_DQ12	I/O	D9	1.1V	LPDDR4 データ・ビット 12
LPDDR4_M0_DQ13	I/O	C8	1.1V	LPDDR4 データ・ビット 13
LPDDR4_M0_DQ14	I/O	D15	1.1V	LPDDR4 データ・ビット 14
LPDDR4_M0_DQ15	I/O	C15	1.1V	LPDDR4 データ・ビット 15
LPDDR4_M0_DQ16	I/O	M4	1.1V	LPDDR4 データ・ビット 16
LPDDR4_M0_DQ17	I/O	M3	1.1V	LPDDR4 データ・ビット 17
LPDDR4_M0_DQ18	I/O	J5	1.1V	LPDDR4 データ・ビット 18
LPDDR4_M0_DQ19	I/O	H5	1.1V	LPDDR4 データ・ビット 19
LPDDR4_M0_DQ20	I/O	G4	1.1V	LPDDR4 データ・ビット 20
LPDDR4_M0_DQ21	I/O	H3	1.1V	LPDDR4 データ・ビット 21
LPDDR4_M0_DQ22	I/O	L3	1.1V	LPDDR4 データ・ビット 22
LPDDR4_M0_DQ23	I/O	L4	1.1V	LPDDR4 データ・ビット 23
LPDDR4_M0_DQ24	I/O	M6	1.1V	LPDDR4 データ・ビット 24
LPDDR4_M0_DQ25	I/O	L6	1.1V	LPDDR4 データ・ビット 25
LPDDR4_M0_DQ26	I/O	H7	1.1V	LPDDR4 データ・ビット 26
LPDDR4_M0_DQ27	I/O	H6	1.1V	LPDDR4 データ・ビット 27
LPDDR4_M0_DQ28	I/O	G5	1.1V	LPDDR4 データ・ビット 28
LPDDR4_M0_DQ29	I/O	G6	1.1V	LPDDR4 データ・ビット 29
LPDDR4_M0_DQ30	I/O	M5	1.1V	LPDDR4 データ・ビット 30
LPDDR4_M0_DQ31	I/O	N5	1.1V	LPDDR4 データ・ビット 31
LPDDR4_M0_DQS_P0	I/O	B10	1.1V	LPDDR4 データ・ストローク 0 (P)
LPDDR4_M0_DQS_N0	I/O	A11	1.1V	LPDDR4 データ・ストローク 0 (N)
LPDDR4_M0_DQS_P1	I/O	D12	1.1V	LPDDR4 データ・ストローク 1 (P)
LPDDR4_M0_DQS_N1	I/O	C11	1.1V	LPDDR4 データ・ストローク 1 (N)
LPDDR4_M0_DQS_P2	I/O	J4	1.1V	LPDDR4 データ・ストローク 2 (P)
LPDDR4_M0_DQS_N2	I/O	J3	1.1V	LPDDR4 データ・ストローク 2 (N)
LPDDR4_M0_DQS_P3	I/O	K7	1.1V	LPDDR4 データ・ストローク 3 (P)
LPDDR4_M0_DQS_N3	I/O	J7	1.1V	LPDDR4 データ・ストローク 3 (N)
LPDDR4_M0_RESET_B	Output	E15	1.1V	LPDDR4 リセット

## 2.7. SDMMC

本製品はストレージデバイスとして 32GB の eMMC メモリを搭載しています。eMMC メモリは HPS の SDMMC インターフェースに接続されており、SOM\_SDMMC\_SEL\_1V8 信号をキャリアボードから設定することにより、キャリアボード上のストレージデバイス (microSD カードなど) と切り替えることができます。本製品の SDMMC インターフェース回路の構成およびピンアサインを以下に示します。

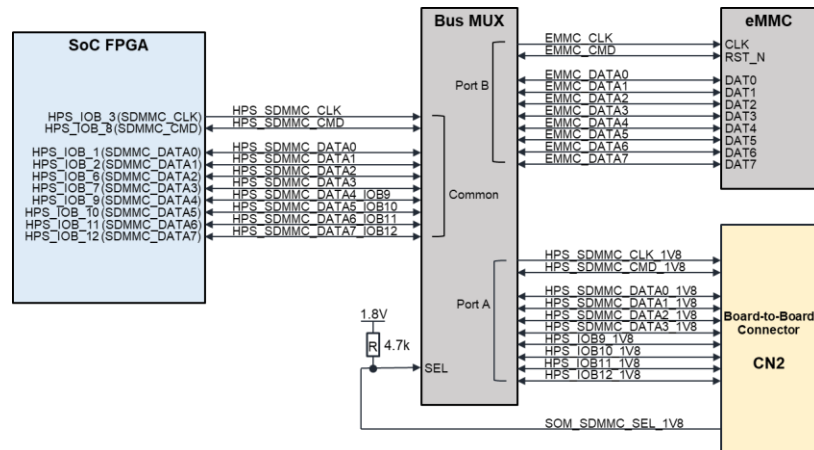


図 2-8 SDMMC 回路

表 2-7 SDMMC 回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
HPS_SDMMC_CLK	Output	A18	1.8V	SDMMC クロック
HPS_SDMMC_CMD	I/O	E20	1.8V	SDMMC コマンド
HPS_SDMMC_DATA0	I/O	D23	1.8V	SDMMC データ 0
HPS_SDMMC_DATA1	I/O	C25	1.8V	SDMMC データ 1
HPS_SDMMC_DATA2	I/O	C21	1.8V	SDMMC データ 2
HPS_SDMMC_DATA3	I/O	C23	1.8V	SDMMC データ 3
HPS_SDMMC_DATA4_IOB9	I/O	C22	1.8V	SDMMC データ 4。キャリアボード上で SD カードを使用する場合は、GPIO として使用可能*1
HPS_SDMMC_DATA5_IOB10	I/O	D19	1.8V	SDMMC データ 5。キャリアボード上で SD カードを使用する場合は、GPIO として使用可能*1
HPS_SDMMC_DATA6_IOB11	I/O	B21	1.8V	SDMMC データ 6。キャリアボード上で SD カードを使用する場合は、GPIO として使用可能*1
HPS_SDMMC_DATA7_IOB12	I/O	A22	1.8V	SDMMC データ 7。キャリアボード上で SD カードを使用する場合は、GPIO として使用可能*1
SOM_SDMMC_SEL_1V8	Input	Bus MUX	1.8V	SD/eMMC 選択信号。この信号を High レベルにすると eMMC が選択され、Low レベルにするとキャリアボード上のストレージデバイスが選択されます

\*1 キャリアボード上で SD カードを使用する場合、SDMMC は 4bit モードで動作します。そのため、DATA4～DATA7 は GPIO として使用できます。

## 2.8. TPM

本製品はセキュリティ機能として TPM (Trusted Platform Module) を搭載しています。TPM を使用して暗号キーを安全に生成および保管することで、データへの不正アクセスを防ぐことが可能です。

### 使用上の制約

本機能を使用する場合は、以下の制約があります。

- TPM に接続されている信号は、SoM の LPDDR4 バンクの I/O に割り付けられています。
- SoC FPGA の EMIF の仕様により、HPS の F2H ブリッジが有効になっている場合、本機能を使用できません。

本機能を使用する際は、HPS の F2H ブリッジを無効 (Disable) に設定してください。

本製品の TPM 回路の構成およびピンアサインを以下に示します。

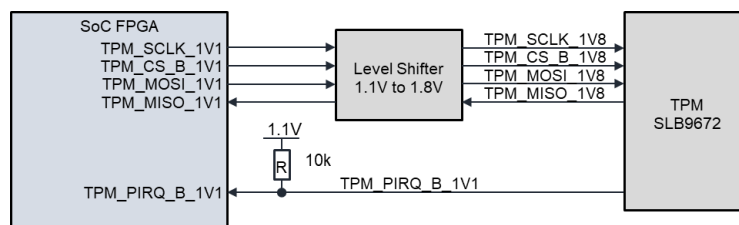


図 2-9 TPM 回路

表 2-8 TPM 回路ピンアサイン

信号名	方向	FPGA ピン番号	電圧	説明
TPM_SCLK_1V1	Output	J2	1.1V	TPM シリアルクロック
TPM_CS_B_1V1	Output	K2	1.1V	TPM チップセレクト
TPM_MOSI_1V1	Output	H1	1.1V	TPM シリアルデータ (MOSI)
TPM_MISO_1V1	Input	H2	1.1V	TPM シリアルデータ (MISO)
TPM_PIRQ_B_1V1	Input	E2	1.1V	TPM 割り込み

## 2.9. オンチップ電圧センサーおよび温度センサー

SoC FPGA に内蔵されている電圧センサーおよび温度センサーを使用できるように、各信号をコネクタへ引き出しています。

本製品のオンチップ電圧センサーおよび温度センサー回路の構成およびピンアサインを以下に示します。

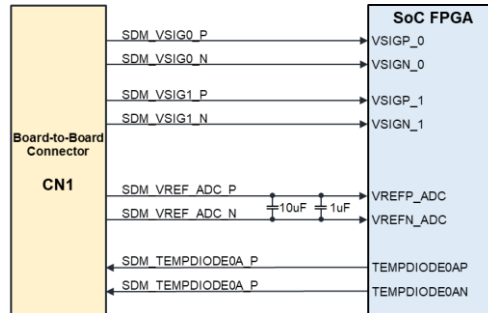


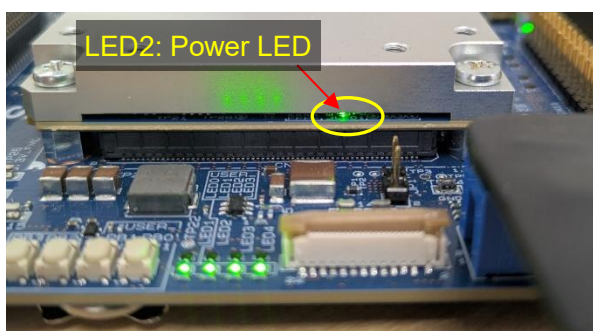
図 2-10 オンチップ電圧センサーおよび温度センサー回路

表 2-9 オンチップ電圧センサーおよび温度センサー回路ピンアサイン

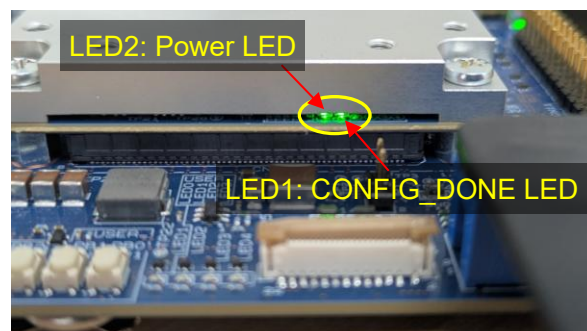
信号名	方向	FPGA ピン番号	電圧	説明
SDM_VSIG0_P	Input	AK14	アナログ	内蔵電圧センサーチャンネル 0 (P)
SDM_VSIG0_N	Input	AJ14	アナログ	内蔵電圧センサーチャンネル 0 (N)
SDM_VSIG1_P	Input	AK17	アナログ	内蔵電圧センサーチャンネル 1 (P)
SDM_VSIG1_N	Input	AK16	アナログ	内蔵電圧センサーチャンネル 2 (N)
SDM_VREF_ADC_P	Input	AJ15	アナログ	内蔵 ADC リファレンス電圧 (P)
SDM_VREF_ADC_N	Input	AK15	アナログ	内蔵 ADC リファレンス電圧 (N)
SDM_TEMPDIODE0A_P	Input	AH16	アナログ	内蔵温度センサーダイオード (P)
SDM_TEMPDIODE0A_N	Input	AH17	アナログ	内蔵温度センサーダイオード (N)

## 2.10. ステータス LED

本製品にはステータス確認用の LED を搭載しています。LED の各機能を以下に示します。



(a) 未コンフィグレーション状態



(b) コンフィグレーション完了状態

表 2-10 ステータス LED

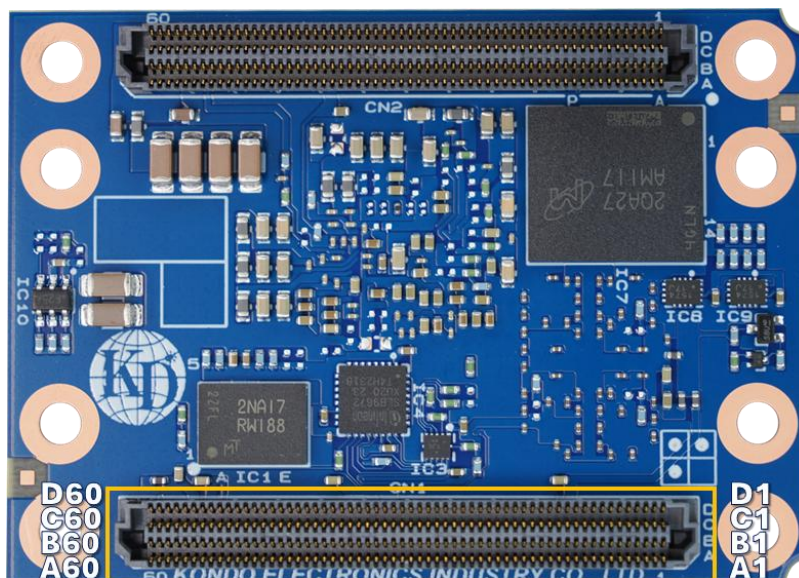
リファレンス	名称	説明
LED1	CONF_DONE LED	コンフィグレーション状態を表示します 点灯:コンフィグレーション完了 消灯:コンフィグレーション未完了
LED2	Power LED	電源入力状態を示す LED です。電源が印加されると点灯します

## 2.11. Board to Board コネクタ 1 (CN1)

本製品の Board to Board コネクタ 1 のレイアウト、ピンアサインおよび各ピンの説明を以下に示します。

コネクタ型式 : ADF6-60-03.5-L-4-2-A-TR (Samtec)

適合コネクタ型式 : ADM6-60-01.5-L-4-2-A-TR (Samtec)



Board to Board Connector (CN1)

図 2-11 Board to Board コネクタ 1 レイアウト

### 2.11.1. CN1 ピンアサイン

表 2-11 CN1 ピンアサイン

Pin No.	A 列	B 列	C 列	D 列
1	HSIO_3A_T_IO22_N	GND	HSIO_3A_T_IO24_N	GND
2	HSIO_3A_T_IO22_P	HSIO_3A_T_IO23_N	HSIO_3A_T_IO24_P	HSIO_3A_T_IO19_CLK0_N
3	GND	HSIO_3A_T_IO23_P	GND	HSIO_3A_T_IO19_CLK0_P
4	HSIO_3A_T_IO18_CLK1_N	GND	HSIO_3A_T_IO16_N	GND
5	HSIO_3A_T_IO18_CLK1_P	HSIO_3A_T_IO21_N	HSIO_3A_T_IO16_P	HSIO_3A_T_IO14_N
6	GND	HSIO_3A_T_IO21_P	GND	HSIO_3A_T_IO14_P
7	HSIO_3A_T_IO17_N	GND	HSIO_3A_T_IO15_N	GND
8	HSIO_3A_T_IO17_P	HSIO_3A_T_IO20_N	HSIO_3A_T_IO15_P	HSIO_3A_T_IO13_N
9	GND	HSIO_3A_T_IO20_P	GND	HSIO_3A_T_IO13_P
10	RESERVED	GND	RESERVED	GND
11	RESERVED	RESERVED	RESERVED	SOM_VOUT_1V1
12	GND	RESERVED	GND	SOM_VOUT_1V1
13	HSIO_2A_T_IO1_N	GND	HSIO_2A_T_IO7_N	GND
14	HSIO_2A_T_IO1_P	HSIO_2A_T_IO2_N	HSIO_2A_T_IO7_P	HSIO_2A_T_IO19_CLK0_N
15	GND	HSIO_2A_T_IO2_P	GND	HSIO_2A_T_IO19_CLK0_P
16	HSIO_2A_T_IO4_N	GND	HSIO_2A_T_IO9_N	GND
17	HSIO_2A_T_IO4_P	HSIO_2A_T_IO8_N	HSIO_2A_T_IO9_P	HSIO_2A_T_IO20_N
18	GND	HSIO_2A_T_IO8_P	GND	HSIO_2A_T_IO20_P
19	HSIO_2A_T_IO3_N	GND	HSIO_2A_T_IO11_N	GND

Pin No.	A 列	B 列	C 列	D 列
20	HSIO_2A_T_IO3_P	HSIO_2A_T_IO10_N	HSIO_2A_T_IO11_P	HSIO_2A_T_IO21_N
21	GND	HSIO_2A_T_IO10_P	GND	HSIO_2A_T_IO21_P
22	HSIO_2A_T_IO5_N	GND	HSIO_2A_T_IO12_N	GND
23	HSIO_2A_T_IO5_P	HSIO_2A_T_IO16_N	HSIO_2A_T_IO12_P	HSIO_2A_T_IO22_N
24	GND	HSIO_2A_T_IO16_P	GND	HSIO_2A_T_IO22_P
25	HSIO_2A_T_IO15_N	GND	HSIO_2A_T_IO6_N	GND
26	HSIO_2A_T_IO15_P	HSIO_2A_T_IO13_N	HSIO_2A_T_IO6_P	HSIO_2A_T_IO23_N
27	GND	HSIO_2A_T_IO13_P	GND	HSIO_2A_T_IO23_P
28	HSIO_2A_T_IO17_N	GND	HSIO_2A_T_IO14_N	GND
29	HSIO_2A_T_IO17_P	HSIO_2A_T_IO18_CLK1_N	HSIO_2A_T_IO14_P	HSIO_2A_T_IO24_N
30	GND	HSIO_2A_T_IO18_CLK1_P	GND	HSIO_2A_T_IO24_P
31	HSIO_2A_T_VCCIO	GND	RESERVED	GND
32	HSIO_2A_T_VCCIO	SOM_VOUT_0V9	RESERVED	HSIO_2A_B_VCCIO
33	GND	SOM_VOUT_0V9	GND	HSIO_2A_B_VCCIO
34	HSIO_2A_B_IO4_N	GND	HSIO_2A_B_IO2_N	GND
35	HSIO_2A_B_IO4_P	HSIO_2A_B_IO1_N	HSIO_2A_B_IO2_P	HSIO_2A_B_IO17_N
36	GND	HSIO_2A_B_IO1_P	GND	HSIO_2A_B_IO17_P
37	HSIO_2A_B_IO6_CLK1_N	GND	HSIO_2A_B_IO3_N	GND
38	HSIO_2A_B_IO6_CLK1_P	HSIO_2A_B_IO5_N	HSIO_2A_B_IO3_P	HSIO_2A_B_IO18_N
39	GND	HSIO_2A_B_IO5_P	GND	HSIO_2A_B_IO18_P
40	HSIO_2A_B_IO23_N	GND	HSIO_2A_B_IO16_N	GND
41	HSIO_2A_B_IO23_P	HSIO_2A_B_IO7_CLK0_N	HSIO_2A_B_IO16_P	HSIO_2A_B_IO15_N
42	GND	HSIO_2A_B_IO7_CLK0_P	GND	HSIO_2A_B_IO15_P
43	HSIO_2A_B_IO8_N	GND	HSIO_2A_B_IO14_N	GND
44	HSIO_2A_B_IO8_P	HSIO_2A_B_IO24_N	HSIO_2A_B_IO14_P	HSIO_2A_B_IO13_N
45	GND	HSIO_2A_B_IO24_P	GND	HSIO_2A_B_IO13_P
46	HSIO_2A_B_IO11_N	GND	HSIO_2A_B_IO22_N	GND
47	HSIO_2A_B_IO11_P	HSIO_2A_B_IO10_N	HSIO_2A_B_IO22_P	HSIO_2A_B_IO21_N
48	GND	HSIO_2A_B_IO10_P	GND	HSIO_2A_B_IO21_P
49	HSIO_2A_B_IO12_N	GND	HSIO_2A_B_IO19_N	GND
50	HSIO_2A_B_IO12_P	HSIO_2A_B_IO9_N	HSIO_2A_B_IO19_P	HSIO_2A_B_IO20_N
51	GND	HSIO_2A_B_IO9_P	GND	HSIO_2A_B_IO20_P
52	SDM_CONF_DONE_1V8	GND	SDM_TEMPDIODE0A_N	GND
53	SDM_INIT_DONE_1V8	SDM_VSIG0_N	SDM_TEMPDIODE0A_P	SOM_VOUT_1V2
54	SDM_MSEL2_1V8	SDM_VSIG0_P	SDM_VREF_ADC_N	SOM_VOUT_1V2
55	SDM_MSEL1_1V8	SDM_VSIG1_N	SDM_VREF_ADC_P	SOM_VOUT_3V3
56	GND	SDM_VSIG1_P	GND	SOM_VOUT_3V3
57	SDM_JTAG_TMS_1V8	GND	RESERVED	GND
58	SDM_JTAG_TCK_1V8	RESERVED	SDM_HPS_COLD_RESET_B_1V8	SDM_IO11_1V8
59	SDM_JTAG_TDI_1V8	SDM_IO12_1V8	SDM_NCONFIG_1V8	SDM_IO8_1V8
60	SDM_JTAG_TDO_1V8	SDM_IO14_1V8	SDM_NSTATUS_1V8	SDM_IO13_1V8

## 2.11.2. CN1 の信号名と説明

表 2-12 CN1 信号一覧

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
A1	HSIO_3A_T_IO22_N	IOB,DIFF_IO_3A_T22N	E5	I/O, RX/TX channel	HSIO バンク 3A_T IO22 ディファレンシャル (N) / シングルエンド
A2	HSIO_3A_T_IO22_P	IOB,DIFF_IO_3A_T22P	D5	I/O, RX/TX channel	HSIO バンク 3A_T IO22 ディファレンシャル (P) / シングルエンド
A3	GND				グラウンド
A4	HSIO_3A_T_IO18_CLK1_N	IOB,DIFF_IO_3A_T18N, CLK_T_3A_1N	E1	I/O, RX/TX channel, Clock Input	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O / CLK1 ディファレンシャルクロック (N) / シングルエンドクロック
A5	HSIO_3A_T_IO18_CLK1_P	IOB,DIFF_IO_3A_T18P, CLK_T_3A_1P	F2	I/O, RX/TX channel, Clock Input	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O / CLK1 ディファレンシャルクロック (P) / シングルエンドクロック
A6	GND				グラウンド
A7	HSIO_3A_T_IO17_N	IOB,DIFF_IO_3A_T17N	F1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
A8	HSIO_3A_T_IO17_P	IOB,DIFF_IO_3A_T17P	G1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
A9	GND				グラウンド
A10	RESERVED				内部未接続の予約ピン
A11	RESERVED				内部未接続の予約ピン
A12	GND				グラウンド
A13	HSIO_2A_T_IO1_N	IOB,DIFF_IO_2A_T1N	P7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A14	HSIO_2A_T_IO1_P	IOB,DIFF_IO_2A_T1P	R7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A15	GND				グラウンド
A16	HSIO_2A_T_IO4_N	IOB,DIFF_IO_2A_T4N	R6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A17	HSIO_2A_T_IO4_P	IOB,DIFF_IO_2A_T4P	R5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A18	GND				グラウンド
A19	HSIO_2A_T_IO3_N	IOB,DIFF_IO_2A_T3N	T7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A20	HSIO_2A_T_IO3_P	IOB,DIFF_IO_2A_T3P	T6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A21	GND				グラウンド
A22	HSIO_2A_T_IO5_N	IOB,DIFF_IO_2A_T5N	U6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A23	HSIO_2A_T_IO5_P	IOB,DIFF_IO_2A_T5P	V5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A24	GND				グラウンド
A25	HSIO_2A_T_IO15_N	IOB,DIFF_IO_2A_T15N	AA7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A26	HSIO_2A_T_IO15_P	IOB,DIFF_IO_2A_T15P	AA6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A27	GND				グラウンド
A28	HSIO_2A_T_IO17_N	IOB,DIFF_IO_2A_T17N	AD7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
A29	HSIO_2A_T_IO17_P	IOB,DIFF_IO_2A_T17P	AC7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
A30	GND				グラウンド
A31	HSIO_2A_T_VCCIO	VCCIO_PIO_2A_T	AC12	Power, Input	HSIO バンク 2A_T VCCIO 電源。1.0~1.3V
A32	HSIO_2A_T_VCCIO	VCCIO_PIO_2A_T	AD11	Power, Input	HSIO バンク 2A_T VCCIO 電源。1.0~1.3V
A33	GND				グラウンド
A34	HSIO_2A_B_IO4_N	IOB,DIFF_IO_2A_B4N	AC3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
A35	HSIO_2A_B_IO4_P	IOB,DIFF_IO_2A_B4P	AB4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
A36	GND				グラウンド
A37	HSIO_2A_B_IO6_CLK1_N	IOB,DIFF_IO_2A_B6N, CLK_B_2A_1N	AE5	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O / CLK1 ディファレンシャルクロック (N) / シングルエンドクロック
A38	HSIO_2A_B_IO6_CLK1_P	IOB,DIFF_IO_2A_B6P, CLK_B_2A_1P	AD5	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O / CLK1 ディファレンシャルクロック (P) / シングルエンドクロック
A39	GND				グラウンド
A40	HSIO_2A_B_IO23_N	IOB,DIFF_IO_2A_B23N	AG3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
A41	HSIO_2A_B_IO23_P	IOB,DIFF_IO_2A_B23P	AH2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
A42	GND				グラウンド
A43	HSIO_2A_B_IO8_N	IOB,DIFF_IO_2A_B8N	AG4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
A44	HSIO_2A_B_IO8_P	IOB,DIFF_IO_2A_B8P	AF4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
A45	GND				グラウンド
A46	HSIO_2A_B_IO11_N	IOB,DIFF_IO_2A_B11N	AE6	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
A47	HSIO_2A_B_IO11_P	IOB,DIFF_IO_2A_B11P	AF6	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
A48	GND				グラウンド
A49	HSIO_2A_B_IO12_N	IOB,DIFF_IO_2A_B12N	AE7	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
A50	HSIO_2A_B_IO12_P	IOB,DIFF_IO_2A_B12P	AF7	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
A51	GND				グラウンド
A52	SDM_CONF_DONE_1V8	SDM_IO16	AF9	Output	SDM_IO16 / CONF_DONE
A53	SDM_INIT_DONE_1V8	SDM_IO0	AG10	Output	SDM_IO0 / INIT_DONE
A54	SDM_MSEL2_1V8	SDM_IO9	AJ9	Input	SDM_IO9 / MSEL2
A55	SDM_MSEL1_1V8	SDM_IO7	AK10	Input	SDM_IO7 / MSEL1
A56	GND				グラウンド
A57	SDM_JTAG_TMS_1V8	TMS	AF17	Input	JTAG テストモードセレクト
A58	SDM_JTAG_TCK_1V8	TCK	AF16	Input	JTAG テストモードクロック
A59	SDM_JTAG_TDI_1V8	TDI	AE17	Input	JTAG テストデータ
A60	SDM_JTAG_TDO_1V8	TDO	AE16	Output	JTAG テストデータ
B1	GND				グラウンド
B2	HSIO_3A_T_IO23_N	IOB,DIFF_IO_3A_T23N	E6	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
B3	HSIO_3A_T_IO23_P	IOB,DIFF_IO_3A_T23P	F6	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
B4	GND				グラウンド
B5	HSIO_3A_T_IO21_N	IOB,DIFF_IO_3A_T21N	E4	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
B6	HSIO_3A_T_IO21_P	IOB,DIFF_IO_3A_T21P	F4	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
B7	GND				グラウンド
B8	HSIO_3A_T_IO20_N	IOB,DIFF_IO_3A_T20N	F3	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
B9	HSIO_3A_T_IO20_P	IOB,DIFF_IO_3A_T20P	G3	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
B10	GND				グラウンド
B11	RESERVED				内部未接続の予約ピン
B12	RESERVED				内部未接続の予約ピン
B13	GND				グラウンド
B14	HSIO_2A_T_IO2_N	IOB,DIFF_IO_2A_T2N	N7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
B15	HSIO_2A_T_IO2_P	IOB,DIFF_IO_2A_T2P	N6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
B16	GND				グラウンド
B17	HSIO_2A_T_IO8_N	IOB,DIFF_IO_2A_T8N	P4	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
B18	HSIO_2A_T_IO8_P	IOB,DIFF_IO_2A_T8P	P5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
B19	GND				グラウンド
B20	HSIO_2A_T_IO10_N	IOB,DIFF_IO_2A_T10N	T4	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
B21	HSIO_2A_T_IO10_P	IOB,DIFF_IO_2A_T10P	U5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
B22	GND				グラウンド
B23	HSIO_2A_T_IO16_N	IOB,DIFF_IO_2A_T16N	AB6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
B24	HSIO_2A_T_IO16_P	IOB,DIFF_IO_2A_T16P	AB5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
B25	GND				グラウンド
B26	HSIO_2A_T_IO13_N	IOB,DIFF_IO_2A_T13N	W7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
B27	HSIO_2A_T_IO13_P	IOB,DIFF_IO_2A_T13P	V7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
B28	GND				グラウンド
B29	HSIO_2A_T_IO18_CLK1_N	IOB,DIFF_IO_2A_T18N, CLK_T_2A_1N	AC5	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O / CLK1 ディファレンシャルクロック (N) / シングルエンドクロック
B30	HSIO_2A_T_IO18_CLK1_P	IOB,DIFF_IO_2A_T18P, CLK_T_2A_1P	AC6	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O / CLK1 ディファレンシャルクロック (P) / シングルエンドクロック
B31	GND				グラウンド
B32	SOM_VOUT_0V9			Power, Output	0.9V 電源出力。ボード上の LDO から供給
B33	SOM_VOUT_0V9			Power, Output	0.9V 電源出力。ボード上の LDO から供給
B34	GND				グラウンド
B35	HSIO_2A_B_IO1_N	IOB,DIFF_IO_2A_B1N	Y5	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
B36	HSIO_2A_B_IO1_P	IOB,DIFF_IO_2A_B1P	W4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
B37	GND				グラウンド
B38	HSIO_2A_B_IO5_N	IOB,DIFF_IO_2A_B5N	AD4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
B39	HSIO_2A_B_IO5_P	IOB,DIFF_IO_2A_B5P	AD3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
B40	GND				グラウンド
B41	HSIO_2A_B_IO7_CLK0_N	IOB,DIFF_IO_2A_B7N, CLK_B_2A_0N	AE4	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O / CLK1 ディファレンシャルクロック (N) / シングルエンドクロック
B42	HSIO_2A_B_IO7_CLK0_P	IOB,DIFF_IO_2A_B7P, CLK_B_2A_0P	AF3	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O / CLK1 ディファレンシャルクロック (P) / シングルエンドクロック
B43	GND				グラウンド
B44	HSIO_2A_B_IO24_N	IOB,DIFF_IO_2A_B24N	AH3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
B45	HSIO_2A_B_IO24_P	IOB,DIFF_IO_2A_B24P	AJ3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
B46	GND				グラウンド
B47	HSIO_2A_B_IO10_N	IOB,DIFF_IO_2A_B10N	AG5	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
B48	HSIO_2A_B_IO10_P	IOB,DIFF_IO_2A_B10P	AH5	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
B49	GND				グラウンド
B50	HSIO_2A_B_IO9_N	IOB,DIFF_IO_2A_B9N	AG6	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
B51	HSIO_2A_B_IO9_P	IOB,DIFF_IO_2A_B9P	AH6	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
B52	GND				グラウンド
B53	SDM_VSIG0_N	VSIGN_0	AJ14	Input	内蔵電圧センサーのアナログ入力チャンネル 0 (N)
B54	SDM_VSIG0_P	VSIGP_0	AK14	Input	内蔵電圧センサーのアナログ入力チャンネル 0 (P)
B55	SDM_VSIG1_N	VSIGN_1	AK16	Input	内蔵電圧センサーのアナログ入力チャンネル 1 (N)
B56	SDM_VSIG1_P	VSIGP_1	AK17	Input	内蔵電圧センサーのアナログ入力チャンネル 1 (P)
B57	GND				グラウンド
B58	RESERVED				内部未接続の予約ピン
B59	SDM_IO12_1V8	SDM_IO12	AF11	Input, Output	SDM_IO12
B60	SDM_IO14_1V8	SDM_IO14	AJ10	Input, Output	SDM_IO14
C1	HSIO_3A_T_IO24_N	IOB,DIFF_IO_3A_T24N	D4	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
C2	HSIO_3A_T_IO24_P	IOB,DIFF_IO_3A_T24P	C5	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
C3	GND				グラウンド
C4	HSIO_3A_T_IO16_N	IOB,DIFF_IO_3A_T16N	H1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
C5	HSIO_3A_T_IO16_P	IOB,DIFF_IO_3A_T16P	H2	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
C6	GND				グラウンド
C7	HSIO_3A_T_IO15_N	IOB,DIFF_IO_3A_T15N	K2	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
C8	HSIO_3A_T_IO15_P	IOB,DIFF_IO_3A_T15P	J2	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
C9	GND				グラウンド
C10	RESERVED				内部未接続の予約ピン
C11	RESERVED				内部未接続の予約ピン
C12	GND				グラウンド
C13	HSIO_2A_T_IO7_N	IOB,DIFF_IO_2A_T7N	P3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
C14	HSIO_2A_T_IO7_P	IOB,DIFF_IO_2A_T7P	N3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C15	GND				グラウンド
C16	HSIO_2A_T_IO9_N	IOB,DIFF_IO_2A_T9N	R4	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
C17	HSIO_2A_T_IO9_P	IOB,DIFF_IO_2A_T9P	T3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C18	GND				グラウンド
C19	HSIO_2A_T_IO11_N	IOB,DIFF_IO_2A_T11N	U3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
C20	HSIO_2A_T_IO11_P	IOB,DIFF_IO_2A_T11P	U4	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C21	GND				グラウンド
C22	HSIO_2A_T_IO12_N	IOB,DIFF_IO_2A_T12N	W3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
C23	HSIO_2A_T_IO12_P	IOB,DIFF_IO_2A_T12P	V3	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C24	GND				グラウンド
C25	HSIO_2A_T_IO6_N	IOB,DIFF_IO_2A_T6N	W5	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
C26	HSIO_2A_T_IO6_P	IOB,DIFF_IO_2A_T6P	V6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C27	GND				グラウンド
C28	HSIO_2A_T_IO14_N	IOB,DIFF_IO_2A_T14N	Y6	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
C29	HSIO_2A_T_IO14_P	IOB,DIFF_IO_2A_T14P	Y7	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
C30	GND				グラウンド
C31	RESERVED				内部未接続の予約ピン
C32	RESERVED				内部未接続の予約ピン
C33	GND				グラウンド
C34	HSIO_2A_B_IO2_N	IOB,DIFF_IO_2A_B2N	AA3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C35	HSIO_2A_B_IO2_P	IOB,DIFF_IO_2A_B2P	Y4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C36	GND				グラウンド
C37	HSIO_2A_B_IO3_N	IOB,DIFF_IO_2A_B3N	AA4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C38	HSIO_2A_B_IO3_P	IOB,DIFF_IO_2A_B3P	AB3	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C39	GND				グラウンド
C40	HSIO_2A_B_IO16_N	IOB,DIFF_IO_2A_B16N	AC2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C41	HSIO_2A_B_IO16_P	IOB,DIFF_IO_2A_B16P	AC1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C42	GND				グラウンド
C43	HSIO_2A_B_IO14_N	IOB,DIFF_IO_2A_B14N	AE2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C44	HSIO_2A_B_IO14_P	IOB,DIFF_IO_2A_B14P	AF1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C45	GND				グラウンド
C46	HSIO_2A_B_IO22_N	IOB,DIFF_IO_2A_B22N	AJ4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C47	HSIO_2A_B_IO22_P	IOB,DIFF_IO_2A_B22P	AK4	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C48	GND				グラウンド
C49	HSIO_2A_B_IO19_N	IOB,DIFF_IO_2A_B19N	AJ7	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
C50	HSIO_2A_B_IO19_P	IOB,DIFF_IO_2A_B19P	AK6	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
C51	GND				グラウンド
C52	SDM_TEMPDIODE0A_N	TEMPDIODE0AN	AH17	Input	内蔵温度検出ダイオードの(N)
C53	SDM_TEMPDIODE0A_P	TEMPDIODE0AP	AH16	Input	内蔵温度検出ダイオードの(P)
C54	SDM_VREF_ADC_N	VREFN_ADC	AK15	Input	内蔵 ADC の外部リファレンス (N)
C55	SDM_VREF_ADC_P	VREFP_ADC	AJ15	Input	内蔵 ADC の外部リファレンス (P)
C56	GND				グラウンド
C57	RESERVED				内部未接続の予約ピン
C58	SDM_HPS_COLD_RESE T_B_1V8	SDM_IO10	AH11	Input	SDM_IO10 / HPS_COLD_nRESET
C59	SDM_NCONFIG_1V8	NCONFIG	AG15	Input	nCONFIG
C60	SDM_NSTATUS_1V8	NSTATUS	AG16	Input	nSTATUS
D1	GND				グラウンド
D2	HSIO_3A_T_IO19_CLK0_N	IOB,DIFF_IO_3A_T19N, CLK_T_3A_1N	E2	I/O, RX/TX channel, Clock Input	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O / CLK0 ディファレンシャルクロック (N) / シングルエンドクロック
D3	HSIO_3A_T_IO19_CLK0_P	IOB,DIFF_IO_3A_T19P, CLK_T_3A_1P	D2	I/O, RX/TX channel, Clock Input	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O / CLK0 ディファレンシャルクロック (P) / シングルエンドクロック
D4	GND				グラウンド
D5	HSIO_3A_T_IO14_N	IOB,DIFF_IO_3A_T14N	K1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
D6	HSIO_3A_T_IO14_P	IOB,DIFF_IO_3A_T14P	L2	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
D7	GND				グラウンド

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
D8	HSIO_3A_T_IO13_N	IOB,DIFF_IO_3A_T13N	L1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (N) / シングルエンド I/O
D9	HSIO_3A_T_IO13_P	IOB,DIFF_IO_3A_T13P	M1	I/O, RX/TX channel	HSIO バンク 3A_T ディファレンシャル I/O (P) / シングルエンド I/O
D10	GND				グラウンド
D11	SOM_VOUT_1V1			Power, Output	1.1V 電源出力。ボード上の DC/DC から供給
D12	SOM_VOUT_1V1			Power, Output	1.1V 電源出力。ボード上の DC/DC から供給
D13	GND				グラウンド
D14	HSIO_2A_T_IO19_CLK0_N	IOB,DIFF_IO_2A_T19N, CLK_T_2A_0N	N1	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O / CLK0 ディファレンシャルクロック (N) / シングルエンドクロック
D15	HSIO_2A_T_IO19_CLK0_P	IOB,DIFF_IO_2A_T19P, CLK_T_2A_0P	N2	I/O, RX/TX channel, Clock Input	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O / CLK0 ディファレンシャルクロック (P) / シングルエンドクロック
D16	GND				グラウンド
D17	HSIO_2A_T_IO20_N	IOB,DIFF_IO_2A_T20N	P2	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
D18	HSIO_2A_T_IO20_P	IOB,DIFF_IO_2A_T20P	R1	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
D19	GND				グラウンド
D20	HSIO_2A_T_IO21_N	IOB,DIFF_IO_2A_T21N	T1	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
D21	HSIO_2A_T_IO21_P	IOB,DIFF_IO_2A_T21P	R2	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
D22	GND				グラウンド
D23	HSIO_2A_T_IO22_N	IOB,DIFF_IO_2A_T22N	U1	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
D24	HSIO_2A_T_IO22_P	IOB,DIFF_IO_2A_T22P	T2	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
D25	GND				グラウンド
D26	HSIO_2A_T_IO23_N	IOB,DIFF_IO_2A_T23N	V2	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
D27	HSIO_2A_T_IO23_P	IOB,DIFF_IO_2A_T23P	V1	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
D28	GND				グラウンド
D29	HSIO_2A_T_IO24_N	IOB,DIFF_IO_2A_T24N	W2	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (N) / シングルエンド I/O
D30	HSIO_2A_T_IO24_P	IOB,DIFF_IO_2A_T24P	Y1	I/O, RX/TX channel	HSIO バンク 2A_T ディファレンシャル I/O (P) / シングルエンド I/O
D31	GND				グラウンド
D32	HSIO_2A_B_VCCIO	VCCIO_PIO_2A_B	AC14	Power, Input	HSIO バンク 2A_B VCCIO 電源。1.0~1.3V
D33	HSIO_2A_B_VCCIO	VCCIO_PIO_2A_B	AD13	Power, Input	HSIO バンク 2A_B VCCIO 電源。1.0~1.3V
D34	GND				グラウンド
D35	HSIO_2A_B_IO17_N	IOB,DIFF_IO_2A_B17N	AA1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D36	HSIO_2A_B_IO17_P	IOB,DIFF_IO_2A_B17P	Y2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D37	GND				グラウンド
D38	HSIO_2A_B_IO18_N	IOB,DIFF_IO_2A_B18N	AA2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D39	HSIO_2A_B_IO18_P	IOB,DIFF_IO_2A_B18P	AB1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D40	GND				グラウンド
D41	HSIO_2A_B_IO15_N	IOB,DIFF_IO_2A_B15N	AE1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D42	HSIO_2A_B_IO15_P	IOB,DIFF_IO_2A_B15P	AD2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D43	GND				グラウンド

Pin No.	CN1 信号名	FPGA ピン名	FPGA ピン	I/O	説明
D44	HSIO_2A_B_IO13_N	IOB,DIFF_IO_2A_B13N	AF2	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D45	HSIO_2A_B_IO13_P	IOB,DIFF_IO_2A_B13P	AG1	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D46	GND				グラウンド
D47	HSIO_2A_B_IO21_N	IOB,DIFF_IO_2A_B21N	AK5	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D48	HSIO_2A_B_IO21_P	IOB,DIFF_IO_2A_B21P	AJ5	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D49	GND				グラウンド
D50	HSIO_2A_B_IO20_N	IOB,DIFF_IO_2A_B20N	AJ8	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (N) / シングルエンド I/O
D51	HSIO_2A_B_IO20_P	IOB,DIFF_IO_2A_B20P	AK7	I/O, RX/TX channel	HSIO バンク 2A_B ディファレンシャル I/O (P) / シングルエンド I/O
D52	GND				グラウンド
D53	SOM_VOUT_1V2			Power, Output	1.2V 電源出力。ボード上の DC/DC から供給
D54	SOM_VOUT_1V2			Power, Output	1.2V 電源出力。ボード上の DC/DC から供給
D55	SOM_VOUT_3V3			Power, Output	3.3V 電源出力。ボード上の DC/DC から供給
D56	SOM_VOUT_3V3			Power, Output	3.3V 電源出力。ボード上の DC/DC から供給
D57	GND				グラウンド
D58	SDM_IO11_1V8	SDM_IO11	AG9	Input, Output	SDM_IO11
D59	SDM_IO8_1V8	SDM_IO8	AF13	Input, Output	SDM_IO8
D60	SDM_IO13_1V8	SDM_IO13	AF12	Input, Output	SDM_IO13

## 2.12. Board to Board コネクタ 2 (CN2)

本製品の Board to Board コネクタ 2 のレイアウト、ピンアサインおよび各ピンの説明を以下に示します。

コネクタ型式 : ADF6-60-03.5-L-4-2-A-TR (Samtec)

適合コネクタ型式 : ADM6-60-01.5-L-4-2-A-TR (Samtec)

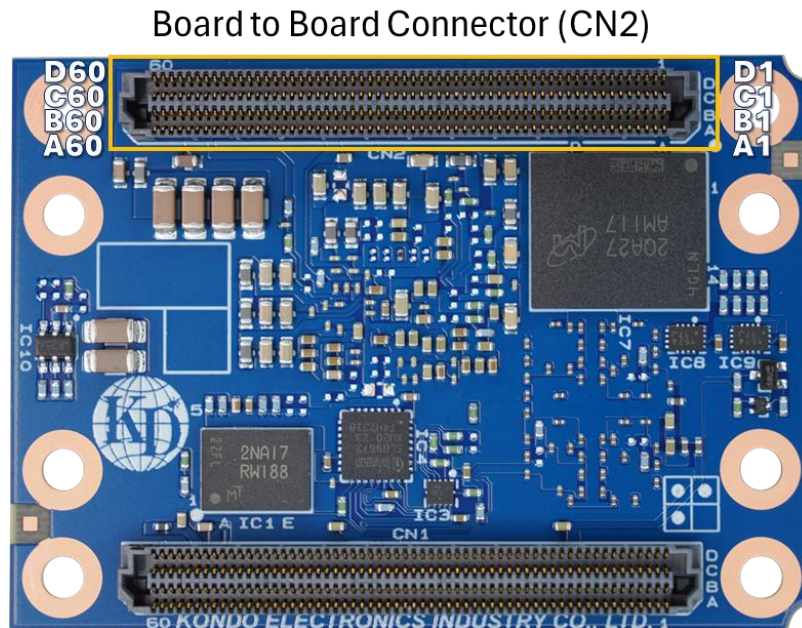


図 2-12 Board to Board コネクタ 2 レイアウト

### 2.12.1. CN2 ピンアサイン

表 2-13 CN2 ピンアサイン

Pin No.	A 列	B 列	C 列	D 列
1	GND	HPS_SDMMC_DATA3_1V8	GND	HPS_RGMII_RXD3_1V8
2	HPS_IOB12_1V8	HPS_SDMMC_DATA2_1V8	HPS_RGMII_TX_CLK_1V8	HPS_RGMII_RXD0_1V8
3	HPS_IOB9_1V8	HPS_SDMMC_DATA0_1V8	HPS_RGMII_TX_CTRL_1V8	HPS_RGMII_RXD2_1V8
4	HPS_IOB10_1V8	HPS_SDMMC_DATA1_1V8	HPS_RGMII_TXD1_1V8	HPS_RGMII_RXD1_1V8
5	HPS_IOB11_1V8	GND	HPS_RGMII_TXD3_1V8	GND
6	GND	HPS_SDMMC_CMD_1V8	GND	HPS_RGMII_RX_CTRL_1V8
7	HPS_IOB5_1V8	HPS_SDMMC_CLK_1V8	HPS_RGMII_TXD2_1V8	HPS_RGMII_RX_CLK_1V8
8	HPS_ULPI_NXT_1V8	HPS_ULPI_DATA0_1V8	HPS_RGMII_TXD0_1V8	HPS_I2C_SCL_1V8
9	HPS_ULPI_DATA5_1V8	HPS_ULPI_DATA1_1V8	HPS_ETH_MDIO_1V8	HPS_I2C_SDA_1V8
10	HPS_ULPI_DATA3_1V8	GND	HPS_ETH_MDC_1V8	GND
11	GND	HPS_ULPI_DATA2_1V8	GND	HPS_IOA12_1V8
12	HPS_ULPI_DATA7_1V8	HPS_ULPI_DATA4_1V8	HPS_ETH_INT_B_1V8	HPS_IOA11_1V8
13	HPS_ULPI_DATA6_1V8	HPS_ULPI_CLK_1V8	HPS_IOA1_1V8	HPS_1PPS_IN_1V8
14	HPS_ULPI_STP_1V8	HPS_OSC_CLK_1V8	HPS_UART_RXD_1V8	HPS_1PPS_OUT_1V8
15	HPS_ULPI_DIR_1V8	RESERVED	HPS_UART_TXD_1V8	RESERVED
16	RESERVED	GND	RESERVED	GND
17	GND	GTSL_1A_CDRCLKOUT_CH2_N	GND	RESERVED
18	GND	GTSL_1A_CDRCLKOUT_CH2_P	GND	RESERVED
19	GTSL_1A_TX_CH3_N	GND	GTSL_1A_TX_CH2_N	GND
20	GTSL_1A_TX_CH3_P	GND	GTSL_1A_TX_CH2_P	GND

Pin No.	A 列	B 列	C 列	D 列
21	GND	GTSL_1A_RX_CH3_N	GND	GTSL_1A_RX_CH2_N
22	GND	GTSL_1A_RX_CH3_P	GND	GTSL_1A_RX_CH2_P
23	GTSL_1A_TX_CH1_N	GND	GTSL_1A_TX_CH0_N	GND
24	GTSL_1A_TX_CH1_P	GND	GTSL_1A_TX_CH0_P	GND
25	GND	GTSL_1A_RX_CH1_N	GND	GTSL_1A_RX_CH0_N
26	GND	GTSL_1A_RX_CH1_P	GND	GTSL_1A_RX_CH0_P
27	GTSL_1A_REFCLK_CH1_N	GND	GTSL_1A_REFCLK_RX_N	GND
28	GTSL_1A_REFCLK_CH1_P	GND	GTSL_1A_REFCLK_RX_P	GND
29	GND	GTSL_1X_TX_CH3_N	GND	GTSL_1X_TX_CH2_N
30	GND	GTSL_1X_TX_CH3_P	GND	GTSL_1X_TX_CH2_P
31	GTSL_1X_RX_CH3_N	GND	GTSL_1X_RX_CH2_N	GND
32	GTSL_1X_RX_CH3_P	GND	GTSL_1X_RX_CH2_P	GND
33	GND	GTSL_1X_TX_CH1_N	GND	GTSL_1X_TX_CH0_N
34	GND	GTSL_1X_TX_CH1_P	GND	GTSL_1X_TX_CH0_P
35	GTSL_1X_RX_CH1_N	GND	GTSL_1X_RX_CH0_N	GND
36	GTSL_1X_RX_CH1_P	GND	GTSL_1X_RX_CH0_P	GND
37	GND	GTSL_1X_REFCLK_CH1_N	GND	GTSL_1X_REFCLK_RX_N
38	GND	GTSL_1X_REFCLK_CH1_P	GND	GTSL_1X_REFCLK_RX_P
39	HVIO_5A_VCCIO	GND	HVIO_5B_VCCIO	GND
40	HVIO_5A_VCCIO	RESERVED	HVIO_5B_VCCIO	RESERVED
41	HVIO_5A_IO15	RESERVED	HVIO_5B_IO15	RESERVED
42	HVIO_5A_IO13	HVIO_5A_IO14	HVIO_5B_IO17	HVIO_5B_IO13
43	GND	HVIO_5A_IO18	GND	HVIO_5B_IO18
44	HVIO_5A_IO7	GND	HVIO_5B_IO20	GND
45	HVIO_5A_IO5	HVIO_5A_IO2	HVIO_5B_IO10	HVIO_5B_IO9
46	HVIO_5A_IO6	HVIO_5A_IO1	HVIO_5B_IO7	HVIO_5B_IO14
47	HVIO_5A_IO9	HVIO_5A_IO12	HVIO_5B_IO2	HVIO_5B_IO3
48	GND	HVIO_5A_IO3	GND	HVIO_5B_IO1
49	HVIO_5A_IO10	GND	HVIO_5B_IO5	GND
50	HVIO_5A_IO8	HVIO_5A_IO16	HVIO_5B_IO4	HVIO_5B_IO12
51	HVIO_5A_IO11	HVIO_5A_IO4	HVIO_5B_IO6	HVIO_5B_IO8
52	HVIO_5A_IO17	HVIO_5A_IO20	HVIO_5B_IO19	HVIO_5B_IO16
53	GND	HVIO_5A_IO19	GND	HVIO_5B_IO11
54	1.8V_VCCBAT	GND	SOM_PWR_OK_3V3	GND
55	RESERVED	SOM_EMMC_RST_B_1V8	SOM_PWR_EN_3V3	RESERVED
56	GND	SOM_SDMMC_SEL_1V8	GND	RESERVED
57	GND	GND	GND	GND
58	SOM_VIN	SOM_VIN	SOM_VIN	SOM_VIN
59	SOM_VIN	SOM_VIN	SOM_VIN	SOM_VIN
60	SOM_VIN	SOM_VIN	SOM_VIN	SOM_VIN

## 2.12.2. CN2 の信号名と説明

表 2-14 CN2 信号一覧

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
A1	GND				グランド
A2	HPS_IOB12_1V8	HPS_IOB_12	A22	I/O	HPS IOB ビット 12
A3	HPS_IOB9_1V8	HPS_IOB_9	C22	I/O	HPS IOB ビット 9
A4	HPS_IOB10_1V8	HPS_IOB_10	D19	I/O	HPS IOB ビット 10
A5	HPS_IOB11_1V8	HPS_IOB_11	B21	I/O	HPS IOB ビット 11
A6	GND				グランド
A7	HPS_IOB5_1V8	HPS_IOB_5	A17	I/O	HPS IOB ビット 5
A8	HPS_ULPI_NXT_1V8	HPS_IOA_18 / USB1_NXT	E16	I/O, Input	HPS IOA ビット 18 / USB1 ネクスト・データ
A9	HPS_ULPI_DATA5_1V8	HPS_IOA_22 / USB1_DATA5	D20	I/O	HPS IOA ビット 22 / USB1 データ・ビット 5
A10	HPS_ULPI_DATA3_1V8	HPS_IOA_20 / USB1_DATA3	E21	I/O	HPS IOA ビット 20 / USB1 データ・ビット 3
A11	GND				グランド
A12	HPS_ULPI_DATA7_1V8	HPS_IOA_24 / USB1_DATA7	A24	I/O	HPS IOA ビット 24 / USB1 データ・ビット 7
A13	HPS_ULPI_DATA6_1V8	HPS_IOA_23 / USB1_DATA6	B24	I/O	HPS IOA ビット 23 / USB1 データ・ビット 6
A14	HPS_ULPI_STP_1V8	HPS_IOA_14 / USB1_STP	B26	I/O, Output	HPS IOA ビット 14 / USB1 ストップ・データ
A15	HPS_ULPI_DIR_1V8	HPS_IOA_15 / USB1_DIR	B25	I/O, Input	HPS IOA ビット 15 / USB1 ディレクション
A16	RESERVED				内部未接続の予約ピン
A17	GND				グランド
A18	GND				グランド
A19	GTSL_1A_TX_CH3_N	GTSL1A_TX_CH3N / GTSL1B_TX_CH3N	F27	Output	028B 以外のモデル: トランシーバー・バンク 1A 送信チャンネル 3 (N) 028B のみ: トランシーバー・バンク 1B 送信チャンネル 3 (N)
A20	GTSL_1A_TX_CH3_P	GTSL1A_TX_CH3P / GTSL1B_TX_CH3P	G27	Output	028B 以外のモデル: トランシーバー・バンク 1A 送信チャンネル 3 (P) 028B のみ: トランシーバー・バンク 1B 送信チャンネル 3 (P)
A21	GND				グランド
A22	GND				グランド
A23	GTSL_1A_TX_CH1_N	GTSL1A_TX_CH1N / GTSL1B_TX_CH1N	M28	Output	028B 以外のモデル: トランシーバー・バンク 1A 送信チャンネル 1 (N) 028B のみ: トランシーバー・バンク 1B 送信チャンネル 1 (N)
A24	GTSL_1A_TX_CH1_P	GTSL1A_TX_CH1P / GTSL1B_TX_CH1P	M29	Output	028B 以外のモデル: トランシーバー・バンク 1A 送信チャンネル 1 (P) 028B のみ: トランシーバー・バンク 1B 送信チャンネル 1 (P)
A25	GND				グランド
A26	GND				グランド
A27	GTSL_1A_REFCLK_CH1_N	REFCLK_GTSL1A_CH1N / REFCLK_GTSL1B_CH1N	M25	Input	028B 以外のモデル: トランシーバー・バンク 1A ローカル・リファレンス・クロック (N) 028B のみ: トランシーバー・バンク 1B ローカル・リファレンス・クロック (N)
A28	GTSL_1A_REFCLK_CH1_P	REFCLK_GTSL1A_CH1P / REFCLK_GTSL1B_CH1P	M24	Input	028B 以外のモデル: トランシーバー・バンク 1A ローカル・リファレンス・クロック (P) 028B のみ: トランシーバー・バンク 1B ローカル・リファレンス・クロック (P)
A29	GND				グランド
A30	GND				グランド
A31	GTSL_1X_RX_CH3_N	NC / GTSL1A_RX_CH3N	Y30	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 受信チャンネル 3 (N)

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
A32	GTSL_1X_RX_CH3_P	NC / GTSL1A_RX_CH3P	Y29	Input	028B 以外のモデル:未接続 028B のみ:トランシーバー・バンク 1A 受信 チャンネル 3 (P)
A33	GND				グラウンド
A34	GND				グラウンド
A35	GTSL_1X_RX_CH1_N	NC / GTSL1A_RX_CH1N	AD30	Input	028B 以外のモデル:未接続 028B のみ:トランシーバー・バンク 1A 受信 チャンネル 1 (N)
A36	GTSL_1X_RX_CH1_P	NC / GTSL1A_RX_CH1P	AD29	Input	028B 以外のモデル:未接続 028B のみ:トランシーバー・バンク 1A 受信 チャンネル 1 (P)
A37	GND				グラウンド
A38	GND				グラウンド
A39	HVIO_5A_VCCIO	VCCIO_HVIO_5A	AD22	Power, Input	HVIO バンク 5A VCCIO 電源。1.8~3.3V
A40	HVIO_5A_VCCIO	VCCIO_HVIO_5A	AE21	Power, Input	HVIO バンク 5A VCCIO 電源。1.8~3.3V
A41	HVIO_5A_IO15	HVIO_5A_15	AF23	I/O	HVIO バンク 5A シングルエンド I/O
A42	HVIO_5A_IO13	HVIO_5A_13	AF24	I/O	HVIO バンク 5A シングルエンド I/O
A43	GND				グラウンド
A44	HVIO_5A_IO7	HVIO_5A_7	AG23	I/O	HVIO バンク 5A シングルエンド I/O
A45	HVIO_5A_IO5	HVIO_5A_5	AH23	I/O	HVIO バンク 5A シングルエンド I/O
A46	HVIO_5A_IO6	HVIO_5A_6	AH22	I/O	HVIO バンク 5A シングルエンド I/O
A47	HVIO_5A_IO9	HVIO_5A_9	AJ22	I/O	HVIO バンク 5A シングルエンド I/O
A48	GND				グラウンド
A49	HVIO_5A_IO10	HVIO_5A_10	AJ20	I/O	HVIO バンク 5A シングルエンド I/O
A50	HVIO_5A_IO8	HVIO_5A_8	AH20	I/O	HVIO バンク 5A シングルエンド I/O
A51	HVIO_5A_IO11	HVIO_5A_11	AH18	I/O	HVIO バンク 5A シングルエンド I/O
A52	HVIO_5A_IO17	HVIO_5A_17	AG19	I/O	HVIO バンク 5A シングルエンド I/O
A53	GND				グラウンド
A54	1.8V_VCCBAT	VCCBAT	AC18	Power, Input	AES BBRAM の電源
A55	RESERVED				内部未接続の予約ピン
A56	GND				グラウンド
A57	GND				グラウンド
A58	SOM_VIN			Power, Input	SoM 電源
A59	SOM_VIN			Power, Input	SoM 電源
A60	SOM_VIN			Power, Input	SoM 電源
B1	HPS_SDMMC_DATA3_1V8	HPS_IOB_7 / SDMMC_DATA3	C23	I/O	HPS IOB ビット 7 / SDMMC データ 3
B2	HPS_SDMMC_DATA2_1V8	HPS_IOB_6 / SDMMC_DATA2	C21	I/O	HPS IOB ビット 6 / SDMMC データ 2
B3	HPS_SDMMC_DATA0_1V8	HPS_IOB_1 / SDMMC_DATA0	D23	I/O	HPS IOB ビット 1 / SDMMC データ 0
B4	HPS_SDMMC_DATA1_1V8	HPS_IOB_2 / SDMMC_DATA1	C25	I/O	HPS IOB ビット 2 / SDMMC データ 1
B5	GND				グラウンド
B6	HPS_SDMMC_CMD_1V8	HPS_IOB_8 / SDMMC_CMD	E20	I/O	HPS IOB ビット 8 / SDMMC コマンド
B7	HPS_SDMMC_CLK_1V8	HPS_IOB_3 / SDMMC_CLK	A18	I/O, Output	HPS IOB ビット 3 / SDMMC クロック
B8	HPS_ULPI_DATA0_1V8	HPS_IOA_16 / USB1_DATA0	E17	I/O	HPS IOA ビット 16 / USB1 データ・ビット 0
B9	HPS_ULPI_DATA1_1V8	HPS_IOA_17 / USB1_DATA1	A16	I/O	HPS IOA ビット 17 / USB1 データ・ビット 1
B10	GND				グラウンド
B11	HPS_ULPI_DATA2_1V8	HPS_IOA_19 / USB1_DATA2	D24	I/O	HPS IOA ビット 19 / USB1 データ・ビット 2
B12	HPS_ULPI_DATA4_1V8	HPS_IOA_21 / USB1_DATA4	B23	I/O	HPS IOA ビット 21 / USB1 データ・ビット 4
B13	HPS_ULPI_CLK_1V8	HPS_IOA_13 / USB1_CLK	D25	I/O, Output	HPS IOA ビット 13 / USB1 クロック

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
B14	HPS_OSC_CLK_1V8	HPS_IOB_4 / HPS_OSC_CLK	C20	I/O, Input	HPS IOB ビット 4 / クロック入力
B15	RESERVED				内部未接続の予約ピン
B16	GND				グランド
B17	GTSL_1A_CDRCLKOUT_CH2_N	CDRCLKOUT_GTSL1A_C H2N / CDRCLKOUT_GTSL1B_C H2N	K25	Output	028B 以外のモデル: トランシーバー・バンク 1A CDR リカバリー・クロック (N) 028B のみ: トランシーバー・バンク 1B CDR リカバリー・クロック (N)
B18	GTSL_1A_CDRCLKOUT_CH2_P	CDRCLKOUT_GTSL1A_C H2P / CDRCLKOUT_GTSL1B_C H2P	K24	Output	028B 以外のモデル: トランシーバー・バンク 1A CDR リカバリー・クロック (P) 028B のみ: トランシーバー・バンク 1B CDR リカバリー・クロック (P)
B19	GND				グランド
B20	GND				グランド
B21	GTSL_1A_RX_CH3_N	GTSL1A_RX_CH3N / GTSL1B_RX_CH3N	D29	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 3 (N) 028B のみ: トランシーバー・バンク 1B 受信 チャンネル 3 (N)
B22	GTSL_1A_RX_CH3_P	GTSL1A_RX_CH3P / GTSL1B_RX_CH3P	D30	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 3 (P) 028B のみ: トランシーバー・バンク 1B 受信 チャンネル 3 (P)
B23	GND				グランド
B24	GND				グランド
B25	GTSL_1A_RX_CH1_N	GTSL1A_RX_CH1N / GTSL1B_RX_CH1N	H29	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 1 (N) 028B のみ: トランシーバー・バンク 1B 受信 チャンネル 1 (N)
B26	GTSL_1A_RX_CH1_P	GTSL1A_RX_CH1P / GTSL1B_RX_CH1P	H30	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 1 (P) 028B のみ: トランシーバー・バンク 1B 受信 チャンネル 1 (P)
B27	GND				グランド
B28	GND				グランド
B29	GTSL_1X_TX_CH3_N	NC / GTSL1A_TX_CH3N	T29	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信 チャンネル 3 (N)
B30	GTSL_1X_TX_CH3_P	NC / GTSL1A_TX_CH3P	T30	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信 チャンネル 3 (P)
B31	GND				グランド
B32	GND				グランド
B33	GTSL_1X_TX_CH1_N	NC / GTSL1A_TX_CH1N	Y27	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信 チャンネル 1 (N)
B34	GTSL_1X_TX_CH1_P	NC / GTSL1A_TX_CH1P	AA27	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信 チャンネル 1 (P)
B35	GND				グランド
B36	GND				グランド
B37	GTSL_1X_REFCLK_CH1_N	NC / REFCLK_GTSL1A_CH1N	V25	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A ロー カル・リファレンス・クロック (N)
B38	GTSL_1X_REFCLK_CH1_P	NC / REFCLK_GTSL1A_CH1P	V24	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A ロー カル・リファレンス・クロック (P)
B39	GND				グランド
B40	RESERVED				内部未接続の予約ピン
B41	RESERVED				内部未接続の予約ピン
B42	HVIO_5A_IO14	HVIO_5A_14	AG24	I/O	HVIO バンク 5A シングルエンド I/O
B43	HVIO_5A_IO18	HVIO_5A_18	AF22	I/O	HVIO バンク 5A シングルエンド I/O
B44	GND				グランド

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
B45	HVIO_5A_IO2	HVIO_5A_2	AJ23	I/O	HVIO バンク 5A シングルエンド I/O
B46	HVIO_5A_IO1	HVIO_5A_1	AJ24	I/O	HVIO バンク 5A シングルエンド I/O
B47	HVIO_5A_IO12	HVIO_5A_12	AG21	I/O	HVIO バンク 5A シングルエンド I/O
B48	HVIO_5A_IO3	HVIO_5A_3	AH21	I/O	HVIO バンク 5A シングルエンド I/O
B49	GND				グラウンド
B50	HVIO_5A_IO16	HVIO_5A_16	AG20	I/O	HVIO バンク 5A シングルエンド I/O
B51	HVIO_5A_IO4	HVIO_5A_4	AJ19	I/O	HVIO バンク 5A シングルエンド I/O
B52	HVIO_5A_IO20	HVIO_5A_20	AF21	I/O	HVIO バンク 5A シングルエンド I/O
B53	HVIO_5A_IO19	HVIO_5A_19	AF19	I/O	HVIO バンク 5A シングルエンド I/O
B54	GND				グラウンド
B55	SOM_EMMC_RST_B_1V8			Input	eMMC のリセット入力
B56	SOM_SDMMC_SEL_1V8			Input	SD/eMMC 切り替え信号入力。High: eMMC、Low:SD
B57	GND				グラウンド
B58	SOM_VIN			Power, Input	SoM 電源
B59	SOM_VIN			Power, Input	SoM 電源
B60	SOM_VIN			Power, Input	SoM 電源
C1	GND				グラウンド
C2	HPS_RGMII_TX_CLK_1V8	HPS_IOB_13 / EMAC2_TX_CLK	B16	I/O, Output	HPS IOB ビット 13 / EMAC2 送信クロック
C3	HPS_RGMII_TX_CTRL_1V8	HPS_IOB_14 / EMAC2_TX_CTL	B18	I/O, Output	HPS IOB ビット 14 / EMAC2 送信コントロール
C4	HPS_RGMII_TXD1_1V8	HPS_IOB_18 / EMAC2_TXD1	A21	I/O, Output	HPS IOB ビット 18 / EMAC2 送信データ・ビット 1
C5	HPS_RGMII_TXD3_1V8	HPS_IOB_22 / EMAC2_TXD3	B19	I/O, Output	HPS IOB ビット 22 / EMAC2 送信データ・ビット 3
C6	GND				グラウンド
C7	HPS_RGMII_TXD2_1V8	HPS_IOB_21 / EMAC2_TXD2	D18	I/O, Output	HPS IOB ビット 21 / EMAC2 送信データ・ビット 2
C8	HPS_RGMII_TXD0_1V8	HPS_IOB_17 / EMAC2_TXD0	C18	I/O, Output	HPS IOB ビット 17 / EMAC2 送信データ・ビット 0
C9	HPS_ETH_MDIO_1V8	HPS_IOA_7 / I2C_EMAC2_SDA	D27	I/O	HPS IOA ビット 7 / EMAC2 シリアルデータ
C10	HPS_ETH_MDC_1V8	HPS_IOA_8 / I2C_EMAC2_SCL	E22	I/O	HPS IOA ビット 8 / EMAC2 シリアルクロック
C11	GND				グラウンド
C12	HPS_ETH_INT_B_1V8	HPS_IOA_2	A27	I/O, Input	HPS IOA ビット 2 / Ethernet 割り込み入力
C13	HPS_IOA1_1V8	HPS_IOA_1	B29	I/O	HPS IOA ビット 1
C14	HPS_UART_RXD_1V8	HPS_IOA_4 / UART0_RX	F24	I/O, Input	HPS IOA ビット 4 / UART0 受信データ
C15	HPS_UART_TXD_1V8	HPS_IOA_3 / UART0_TX	C27	I/O, Output	HPS IOA ビット 3 / UART0 送信データ
C16	RESERVED				内部未接続の予約ピン
C17	GND				グラウンド
C18	GND				グラウンド
C19	GTSL_1A_TX_CH2_N	GTSL1A_TX_CH2N / GTSL1B_TX_CH2N	J27	Output	028B 以外のモデル:トランシーバー・バンク 1A 送信チャンネル 2 (N) 028B のみ:トランシーバー・バンク 1B 送信チャンネル 2 (N)
C20	GTSL_1A_TX_CH2_P	GTSL1A_TX_CH2P / GTSL1B_TX_CH2P	K27	Output	028B 以外のモデル:トランシーバー・バンク 1A 送信チャンネル 2 (P) 028B のみ:トランシーバー・バンク 1B 送信チャンネル 2 (P)
C21	GND				グラウンド
C22	GND				グラウンド
C23	GTSL_1A_TX_CH0_N	GTSL1A_TX_CH0N / GTSL1B_TX_CH0N	P29	Output	028B 以外のモデル:トランシーバー・バンク 1A 送信チャンネル 0 (N) 028B のみ:トランシーバー・バンク 1B 送信チャンネル 0 (N)

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
C24	GTSL_1A_TX_CH0_P	GTSL1A_TX_CH0P / GTSL1B_TX_CH0P	P30	Output	028B 以外のモデル: トランシーバー・バンク 1A 送信チャンネル 0 (P) 028B のみ: トランシーバー・バンク 1B 送信 チャンネル 0 (P)
C25	GND				グラウンド
C26	GND				グラウンド
C27	GTSL_1A_REFCLK_RX_N	REFCLK_GTSL_1A_RX_N / REFCLK_GTSL_1B_RX_N	P24	Input	028B 以外のモデル: トランシーバー・バンク 1A リージョナル・リファレンス・クロック (N) 028B のみ: トランシーバー・バンク 1B リー ジョナル・リファレンス・クロック (N)
C28	GTSL_1A_REFCLK_RX_P	REFCLK_GTSL_1A_RX_P / REFCLK_GTSL_1B_RX_P	P25	Input	028B 以外のモデル: トランシーバー・バンク 1A リージョナル・リファレンス・クロック (P) 028B のみ: トランシーバー・バンク 1B リー ジョナル・リファレンス・クロック (P)
C29	GND				グラウンド
C30	GND				グラウンド
C31	GTSL_1X_RX_CH2_N	NC / GTSL1A_RX_CH2N	AB29	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 受信 チャンネル 2 (N)
C32	GTSL_1X_RX_CH2_P	NC / GTSL1A_RX_CH2P	AB30	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 受信 チャンネル 2 (P)
C33	GND				グラウンド
C34	GND				グラウンド
C35	GTSL_1X_RX_CH0_N	NC / GTSL1A_RX_CH0N	AF30	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 受信 チャンネル 0 (N)
C36	GTSL_1X_RX_CH0_P	NC / GTSL1A_RX_CH0P	AF29	Input	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 受信 チャンネル 0 (P)
C37	GND				グラウンド
C38	GND				グラウンド
C39	HVIO_5B_VCCIO	VCCIO_HVIO_5B	AB21	Power, Input	HVIO バンク 5B VCCIO 電源。1.8~3.3V
C40	HVIO_5B_VCCIO	VCCIO_HVIO_5B	AC21	Power, Input	HVIO バンク 5B VCCIO 電源。1.8~3.3V
C41	HVIO_5B_IO15	HVIO_5B_15	AH28	I/O	HVIO バンク 5B シングルエンド I/O
C42	HVIO_5B_IO17	HVIO_5B_17	AF27	I/O	HVIO バンク 5B シングルエンド I/O
C43	GND				グラウンド
C44	HVIO_5B_IO20	HVIO_5B_20	AK27	I/O	HVIO バンク 5B シングルエンド I/O
C45	HVIO_5B_IO10	HVIO_5B_10	AH27	I/O	HVIO バンク 5B シングルエンド I/O
C46	HVIO_5B_IO7	HVIO_5B_7	AK25	I/O	HVIO バンク 5B シングルエンド I/O
C47	HVIO_5B_IO2	HVIO_5B_2	AH26	I/O	HVIO バンク 5B シングルエンド I/O
C48	GND				グラウンド
C49	HVIO_5B_IO5	HVIO_5B_5	AG26	I/O	HVIO バンク 5B シングルエンド I/O
C50	HVIO_5B_IO4	HVIO_5B_4	AH25	I/O	HVIO バンク 5B シングルエンド I/O
C51	HVIO_5B_IO6	HVIO_5B_6	AE25	I/O	HVIO バンク 5B シングルエンド I/O
C52	HVIO_5B_IO19	HVIO_5B_19	AK21	I/O	HVIO バンク 5B シングルエンド I/O
C53	GND				グラウンド
C54	SOM_PWR_OK_3V3			Output	SoM 電源 OK 出力。
C55	SOM_PWR_EN_3V3			Input	SoM 電源イネーブル。
C56	GND				グラウンド
C57	GND				グラウンド
C58	SOM_VIN			Power, Input	SoM 電源
C59	SOM_VIN			Power, Input	SoM 電源
C60	SOM_VIN			Power, Input	SoM 電源
D1	HPS_RGMII_RXD3_1V8	HPS_IOB_24 / EMAC2_RXD3	C16	I/O, Input	HPS IOB ビット 24 / EMAC2 受信データ・ ビット 3

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
D2	HPS_RGMII_RXD0_1V8	HPS_IOB_19 / EMAC2_RXD0	D17	I/O, Input	HPS IOB ビット 19 / EMAC2 受信データ・ビット 0
D3	HPS_RGMII_RXD2_1V8	HPS_IOB_23 / EMAC2_RXD2	C17	I/O, Input	HPS IOB ビット 23 / EMAC2 受信データ・ビット 2
D4	HPS_RGMII_RXD1_1V8	HPS_IOB_20 / EMAC2_RXD1	A19	I/O, Input	HPS IOB ビット 20 / EMAC2 受信データ・ビット 1
D5	GND				グラウンド
D6	HPS_RGMII_RX_CTRL_1V8	HPS_IOB_16 / EMAC2_RX_CTL	B20	I/O, Input	HPS IOB ビット 16 / EMAC2 受信コントロール
D7	HPS_RGMII_RX_CLK_1V8	HPS_IOB_15 / EMAC2_RX_CLK	E19	I/O, Input	HPS IOB ビット 15 / EMAC2 受信クロック
D8	HPS_I2C_SCL_1V8	HPS_IOA_10 / I2C_EMAC1_SCL	D22	I/O	HPS IOA ビット 10 / I2C シリアルクロック
D9	HPS_I2C_SDA_1V8	HPS_IOA_9 / I2C_EMAC1_SDA	C26	I/O	HPS IOA ビット 9 / I2C シリアルデータ
D10	GND				グラウンド
D11	HPS_IOA12_1V8	HPS_IOA_12	A26	I/O	HPS IOA ビット 12
D12	HPS_IOA11_1V8	HPS_IOA_11	A23	I/O	HPS IOA ビット 11
D13	HPS_1PPS_IN_1V8	HPS_IOA_6 / EMAC2_PPSTRIG2	F23	I/O, Input	HPS IOA ビット 6 / EMAC2 1PPS トリガ入力信号
D14	HPS_1PPS_OUT_1V8	HPS_IOA_5 / EMAC2_PPS2	B28	I/O, Output	HPS IOA ビット 5 / EMAC2 1PPS 出力信号
D15	RESERVED				内部未接続の予約ピン
D16	GND				グラウンド
D17	RESERVED				内部未接続の予約ピン
D18	RESERVED				内部未接続の予約ピン
D19	GND				グラウンド
D20	GND				グラウンド
D21	GTSL_1A_RX_CH2_N	GTSL1A_RX_CH2N / GTSL1B_RX_CH2N	F29	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 2 (N) 028B のみ: トランシーバー・バンク 1B 受信チャンネル 2 (N)
D22	GTSL_1A_RX_CH2_P	GTSL1A_RX_CH2P / GTSL1B_RX_CH2P	F30	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 2 (P) 028B のみ: トランシーバー・バンク 1B 受信チャンネル 2 (P)
D23	GND				グラウンド
D24	GND				グラウンド
D25	GTSL_1A_RX_CH0_N	GTSL1A_RX_CH0N / GTSL1B_RX_CH0N	K29	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 0 (N) 028B のみ: トランシーバー・バンク 1B 受信チャンネル 0 (N)
D26	GTSL_1A_RX_CH0_P	GTSL1A_RX_CH0P / GTSL1B_RX_CH0P	K30	Input	028B 以外のモデル: トランシーバー・バンク 1A 受信チャンネル 0 (P) 028B のみ: トランシーバー・バンク 1B 受信チャンネル 0 (P)
D27	GND				グラウンド
D28	GND				グラウンド
D29	GTSL_1X_TX_CH2_N	NC / GTSL1A_TX_CH2N	V28	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信チャンネル 2 (N)
D30	GTSL_1X_TX_CH2_P	NC / GTSL1A_TX_CH2P	V29	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信チャンネル 2 (P)
D31	GND				グラウンド
D32	GND				グラウンド
D33	GTSL_1X_TX_CH0_N	NC / GTSL1A_TX_CH0N	AC27	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信チャンネル 0 (N)
D34	GTSL_1X_TX_CH0_P	NC / GTSL1A_TX_CH0P	AD27	Output	028B 以外のモデル: 未接続 028B のみ: トランシーバー・バンク 1A 送信チャンネル 0 (P)

Pin No.	CN2 信号名	FPGA ピン名	FPGA ピン	I/O	説明
D35	GND				グランド
D36	GND				グランド
D37	GTSL_1X_REFCLK_RX_N	NC / REFCLK_GTSL_1A_RX_N	Y24	Input	028B 以外のモデル:未接続 028B のみ:トランシーバー・バンク 1A リージョナル・リファレンス・クロック (N)
D38	GTSL_1X_REFCLK_RX_P	NC / REFCLK_GTSL_1A_RX_P	Y25	Input	028B 以外のモデル:未接続 028B のみ:トランシーバー・バンク 1A リージョナル・リファレンス・クロック (P)
D39	GND				グランド
D40	RESERVED				内部未接続の予約ピン
D41	RESERVED				内部未接続の予約ピン
D42	HVIO_5B_IO13	HVIO_5B_13	AJ29	I/O	HVIO バンク 5B シングルエンド I/O
D43	HVIO_5B_IO18	HVIO_5B_18	AJ28	I/O	HVIO バンク 5B シングルエンド I/O
D44	GND				グランド
D45	HVIO_5B_IO9	HVIO_5B_9	AJ27	I/O	HVIO バンク 5B シングルエンド I/O
D46	HVIO_5B_IO14	HVIO_5B_14	AK26	I/O	HVIO バンク 5B シングルエンド I/O
D47	HVIO_5B_IO3	HVIO_5B_3	AJ25	I/O	HVIO バンク 5B シングルエンド I/O
D48	HVIO_5B_IO1	HVIO_5B_1	AK24	I/O	HVIO バンク 5B シングルエンド I/O
D49	GND				グランド
D50	HVIO_5B_IO12	HVIO_5B_12	AK22	I/O	HVIO バンク 5B シングルエンド I/O
D51	HVIO_5B_IO8	HVIO_5B_8	AF26	I/O	HVIO バンク 5B シングルエンド I/O
D52	HVIO_5B_IO16	HVIO_5B_16	AK20	I/O	HVIO バンク 5B シングルエンド I/O
D53	HVIO_5B_IO11	HVIO_5B_11	AK19	I/O	HVIO バンク 5B シングルエンド I/O
D54	GND				グランド
D55	RESERVED				内部未接続の予約ピン
D56	RESERVED				内部未接続の予約ピン
D57	GND				グランド
D58	SOM_VIN			Power, Input	SoM 電源
D59	SOM_VIN			Power, Input	SoM 電源
D60	SOM_VIN			Power, Input	SoM 電源

### 3. 電気的特性

#### 3.1. 絶対最大定格

表 3-1 絶対最大定格

項目	記号	条件	最小	最大	単位	備考
SOM	VIN	-	-0.3	13.2	V	SOM_VIN
VCCIO 電圧	VHSIO	VCCIO=1.2V	-0.5	1.64	V	Bank_2A_T_VCCIO
		VCCIO=1.3V	-0.5	1.74	V	Bank_2A_B_VCCIO
	VHVIO	VCCIO=1.8V	-0.5	2.04	V	HVIO_5A_VCCIO HVIO_5B_VCCIO
		VCCIO=2.5V	-0.5	2.83	V	
		VCCIO=3.3V	-0.5	3.74	V	
VCCBAT 電圧	VCCBAT	-	-0.5	2.08	V	1.8_VCCBAT
端子入力電圧	VI_HPS	-	-0.3	2.38	V	HPS
	VI_SDM	-	-0.3	2.38	V	SDM
	VI_HSIO	-	-0.3	VHSIO+0.25	V	HSIO
	VI_HVIO	-	-0.3	VHVIO+0.3	V	HVIO
	VI_18	-	-0.3	2.38	V	上記以外の末尾_1V8 の端子
	VI_33	-	-0.3	6	V	SOM_PWR_EN_3V3
使用温度範囲	Topr	-	-25	85	°C	結露なきこと

#### 3.2. 推奨動作条件

表 3-2 推奨動作条件

項目	記号	条件	最小	標準	最大	単位	備考
電源電圧	VIN	-	4.75	5.0	13.2	V	SOM_VIN
HSIO VCCIO 電圧	VHSIO	VCCIO=1.2V	1.164	1.2	1.236	V	Bank_2A_T_VCCIO
		VCCIO=1.3V	1.261	1.3	1.339	V	Bank_2A_B_VCCIO
HVIO VCCIO 電圧	VHVIO	VCCIO=1.8V	1.746	1.8	1.854	V	HVIO_5A_VCCIO HVIO_5B_VCCIO
		VCCIO=2.5V	2.425	2.5	2.575	V	
		VCCIO=3.3V	3.201	3.3	3.399	V	
VCCBAT 電圧	VCCBAT	-	1	1 - 1.8	1.8	V	1.8_VCCBAT
端子入力電圧	HPS_VI	-	-0.3	1.8	2.1	V	HPS
	SDM_VI	-	-0.3	1.8	2.1	V	SDM
	HSIO11_VI	-	-0.3	1.1	1.35	V	HSIO (Bank3AT)
	HSIO_VI	-	-0.3		VHSIO+0.25	V	HSIO
	HVIO_VI	-	-0.3		VHVIO+0.3	V	HVIO
	VI_18	-	-0.3	1.8	2.1	V	上記以外の末尾_1V8 の端子
	VI_33	-	-0.3	3.3	3.6	V	SOM_PWR_OK_3V3 SOM_PWR_EN_3V3

#### 3.3. 入出力ピン仕様

入出力ピン仕様はバンク電圧および設定により変化します。詳細は Agilix™ 5 FPGA & SoC E シリーズのデータシートをご確認ください。

## 4. 基板外形

本製品の外形寸法図を以下に示します。(単位:mm)

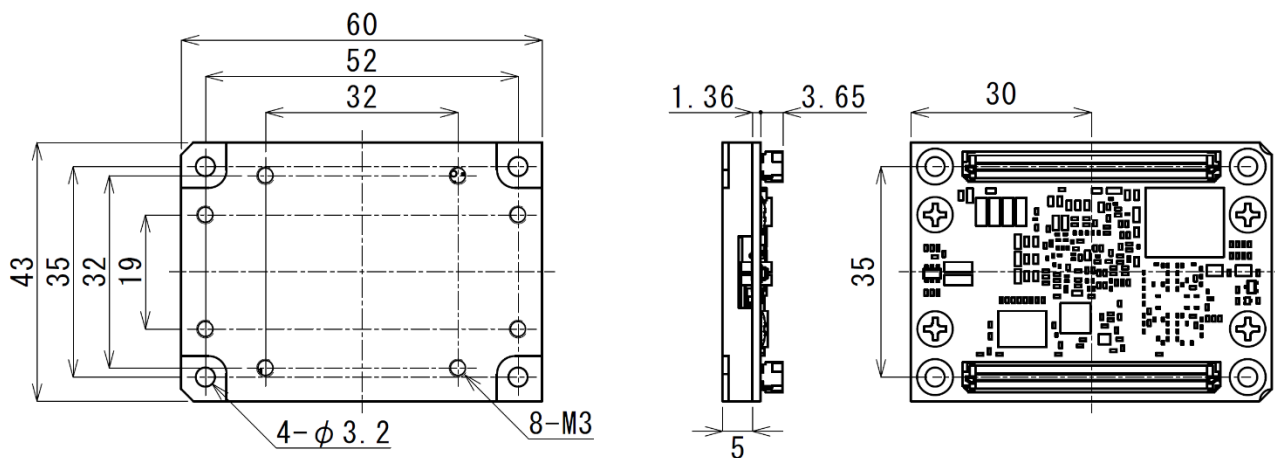


図 3-1 外形寸法 (ヒートスプレッタ搭載)

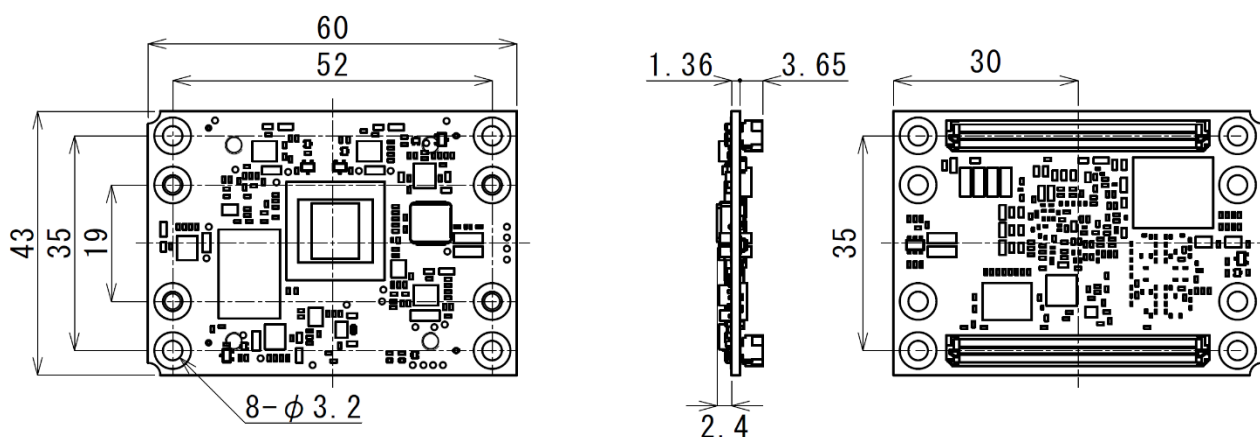


図 3-2 外形寸法(ヒートスプレッタ非搭載)

## 5. 更新履歴

Ver.	更新日付	内容
1.0	2026/05/11	新規作成