
KEIm-CVSoC SoM ハードウェアマニュアル

Ver.1.0



はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口または弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置(航空、宇宙機器、原子力制御機器、生命維持のための医療機器等)には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品または本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部または一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各メーカーの商標または登録商標です。

お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

keim-support@kd-group.co.jp

目次

1. 概要.....	4
1.1. 基本仕様.....	4
1.2. ボードレイアウト.....	5
1.3. 基板外形.....	6
2. スイッチ及び LED	7
2.1. LED.....	7
2.2. スイッチ.....	7
3. ハードウェア構成	8
3.1. ブロック図.....	8
3.2. 電源回路.....	9
3.3. クロック回路.....	10
3.4. リセット回路.....	11
3.5. I2C インターフェース.....	12
3.6. LED 回路.....	12
3.7. コンフィグレーション回路.....	13
3.8. JTAG 回路.....	14
4. 電気的特性.....	15
4.1. 絶対最大定格	15
4.2. 推奨動作条件	15
4.3. 入出力ピン仕様.....	15
5. コネクタピンアサイン.....	16
5.1. 基板間コネクタ(CN1).....	16
5.2. 基板間コネクタ(CN2)	20
6. 更新履歴	24

1. 概要

本書はインテル® Cyclone® V SoC FPGA を搭載した System on Module (以降 SoM) KEIm-CVSoC のハードウェア仕様について記載します。

1.1. 基本仕様

表 1.1 KEIm-CVSoC SoM 基本仕様

項目	内容	
SoC FPGA	Cyclone® V SoC FPGA	
	デバイス型式	5CSXFC5C6U23I7N
	Hard Processor System	ARM® Cortex™-A9 MPCore™ HPS
	Logic Elements / ALMs	85kLEs / 32,057ALMs
	M10K memory	3,970kbits / 397blocks
	MLAB memory	480kbits
	DSP blocks	87
	18 x 18 multipliers	174
	PLLs(HPS)	3
	PLLs(FPGA)	6
Transceiver count (3.125Gbps)	6	
メモリ	DDR3L SDRAM(HPS)	2GByte, バス幅 32bit MT41K512M16VRN-107 IT(Micron) x 2
	QSPI Flash(HPS)	64MByte MT25QL512ABB8E12-0SIT(Micron)
	QSPI Flash(FPGA)	32MByte, コンフィグレーション用 MT25QL256ABA8E12-1SIT(Micron)
クロック	HPS 用	25MHz
	FPGA 用	50MHz, 100MHz
ペリフェラル	RTC	DS1339U-33+(Maxim), バッテリーは外付け
	EEPROM	24LC32A-I/ST(Microchip), 32kbit
コネクタ		168 ピン基板間コネクタ x 2
	コネクタ型式	FX10A-168S-SV(HRS)
	HPS IO	Ethernet(RGMII) x 1, USB OTG(ULPI) x 1, SPI x 1, UART x 1, I2C x 1, QSPI x 1, SDMMC x 1, GPIO x 21
	FPGA IO	最大 133 本
	Transceiver	T x 6 レーン, R x 6 レーン
	JTAG I/F	HPS-FPGA デイジーチェーン 別売りのインテル® FPGA ダウンロード・ケーブル II を 使用してデバッグが可能
入力電源	+3.3V±5%(3.135~3.465V), VCCIO(3.3V or 2.5V)	
消費電流	TBD	
使用温度範囲	TBD	
外形寸法	55×43mm	

1.2. ボードレイアウト

本製品のボードレイアウトを図 1-1 に、本製品に搭載されている主要なコンポーネントを表 1.2 に記載します。

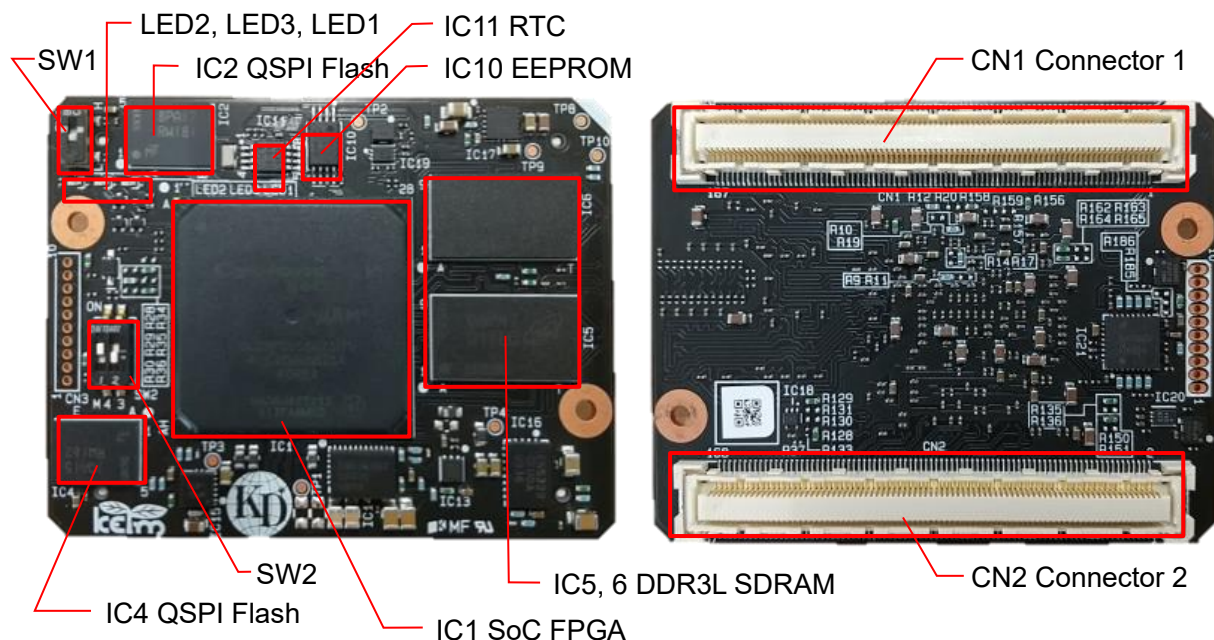


図 1-1 KEIm-CVSoC SoM ボードレイアウト

表 1.2 KEIm-CVSoC SoM 主要コンポーネント一覧

リファレンス	名称	説明
IC1	SoC FPGA	インテル® Cyclone® V FPGA
IC2	QSPI Flash for HPS	64MByte
IC4	QSPI Flash for FPGA	32MByte, Configuration 用
IC5, IC6	DDR3L SDRAM	2GByte
IC10	EEPROM	32kbit
IC11	RTC	バックアップは外部電池による
CN1, CN2	基板間コネクタ	168ピン, 0.5mmピッチ基板間コネクタ
LED1	コンフィグ LED	コンフィグ完了時点灯, 未完了時消灯
LED2	汎用 LED	FPGA IO 制御
LED2	汎用 LED	HPS GPIO 制御
SW1	BSEL 切替スイッチ	HPS ブートモード切替用, H: QSPI Flash / L: microSD
SW2	MSEL 切替スイッチ	FPGA コンフィグレーションモード切替用

1.3. 基板外形

本製品の外形寸法図を図 1-2 に示します。(単位:mm)

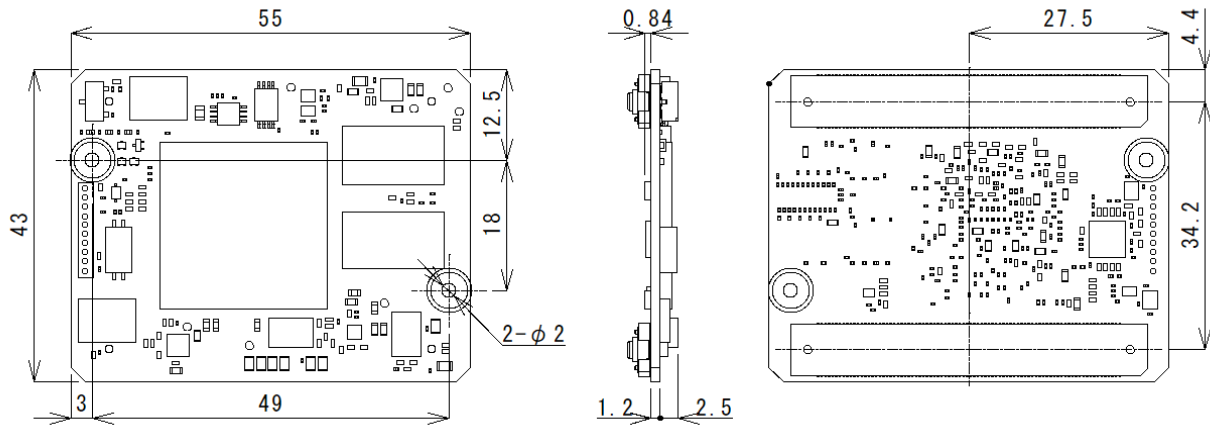


図 1-2 KEIm-CVSoC SoM 外形寸法

2. スイッチ及び LED

本製品には動作設定用のスイッチ及び動作確認用の LED を搭載しています。以降に各スイッチ及び各 LED の機能の説明を記載します。

2.1. LED

本製品の LED の機能を表 2.1 に記載します。

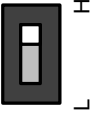

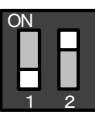
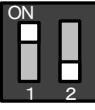
表 2.1 KEIm-CVSoC SoM LED 機能

リファレンス	名称	説明
LED1	コンフィグレーション LED	コンフィグレーション状態を表示します。 点灯:コンフィグレーション完了 消灯:コンフィグレーション未完了
LED2	ユーザーLED(FPGA)	ユーザー用 LED です。FPGA の IO に接続しています。 点灯:端子を Low 消灯:端子を High
LED3	ユーザーLED(HPS)	ユーザー用 LED です。HPS の GPIO0 に接続しています。 点灯:端子を Low 消灯:端子を High

2.2. スイッチ

本製品のスイッチの機能を表 2.2 に記載します。

表 2.2 KEIm-CVSoC SoM スイッチ機能

リファレンス	説明	設定	設定モード
SW1	BSEL 設定スイッチ。 HPS のブートモードを設定します。	 BSEL1 High 設定	QSPI ブートモード
		 BSEL1 Low 設定	SD ブートモード
SW2	MSEL 設定スイッチ。 FPGA のコンフィグレーションモードを設定します。	 MSEL4=1 MSEL3=0	Active Serial x 1 or x 4 モード
		 MSEL4=0 MSEL3=1	Fast Passive Parallel x 32 モード

3. ハードウェア構成

3.1. ブロック図

本製品のブロック図を図 3-1 に示します。

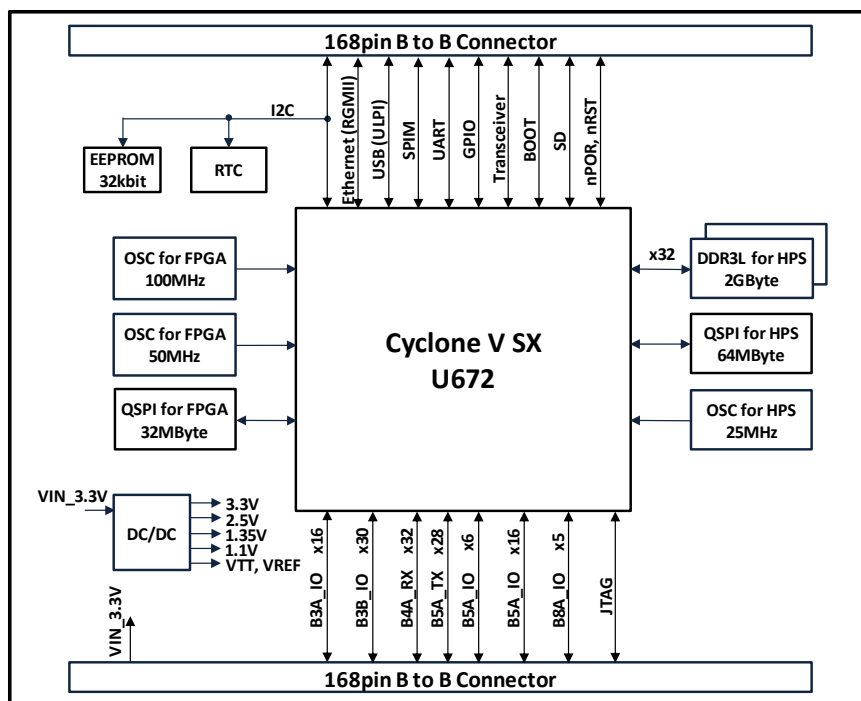


図 3-1 KEIm-CVSoC SoM ブロック図

3.2. 電源回路

本製品の電源回路の構成を図 3-2 に、電源シーケンスを図 3-3 示します。

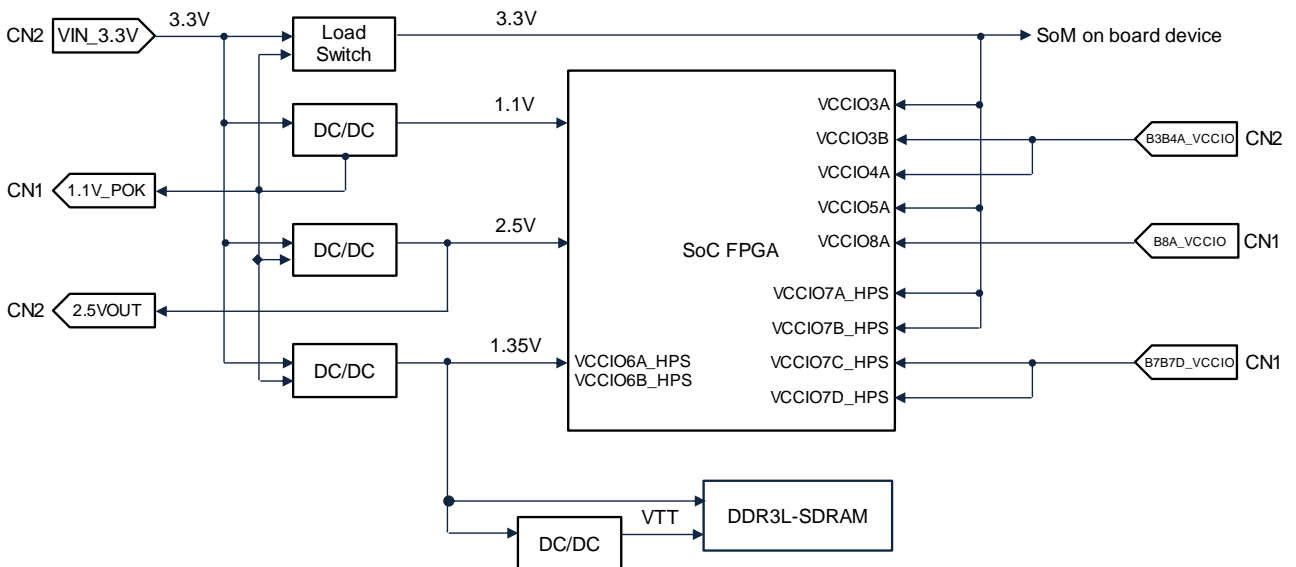


図 3-2 KEIm-CVSoC SoM 電源回路構成

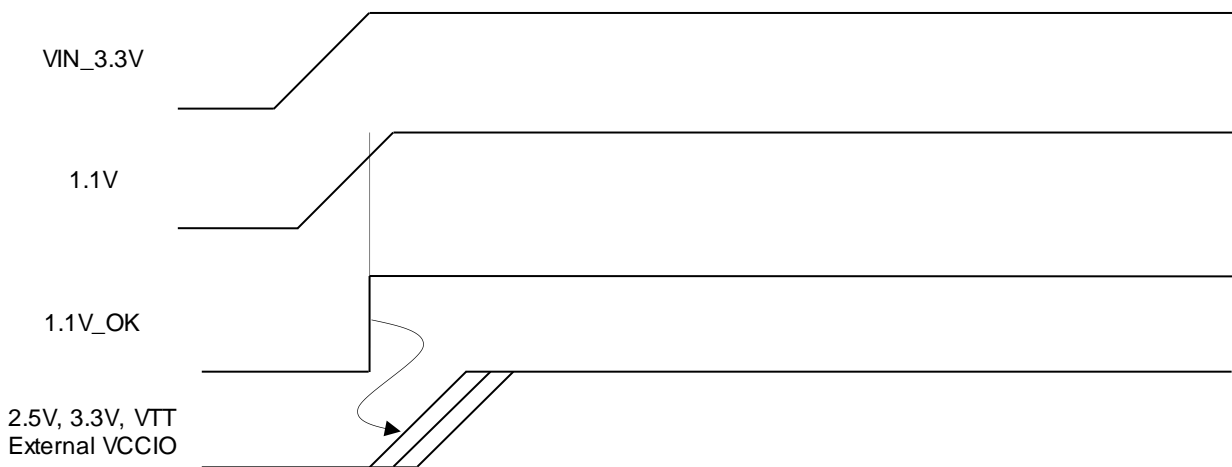


図 3-3 KEIm-CVSoC SoM 電源シーケンス

※外部 VCCIO を供給する際、図 3-3 KEIm-CVSoC SoM 電源シーケンスに示すように本製品の 1.1V_OK 信号が High になってから入力してください。

3.3. クロック回路

本製品のクロック回路の構成を図 3-4 に示します。

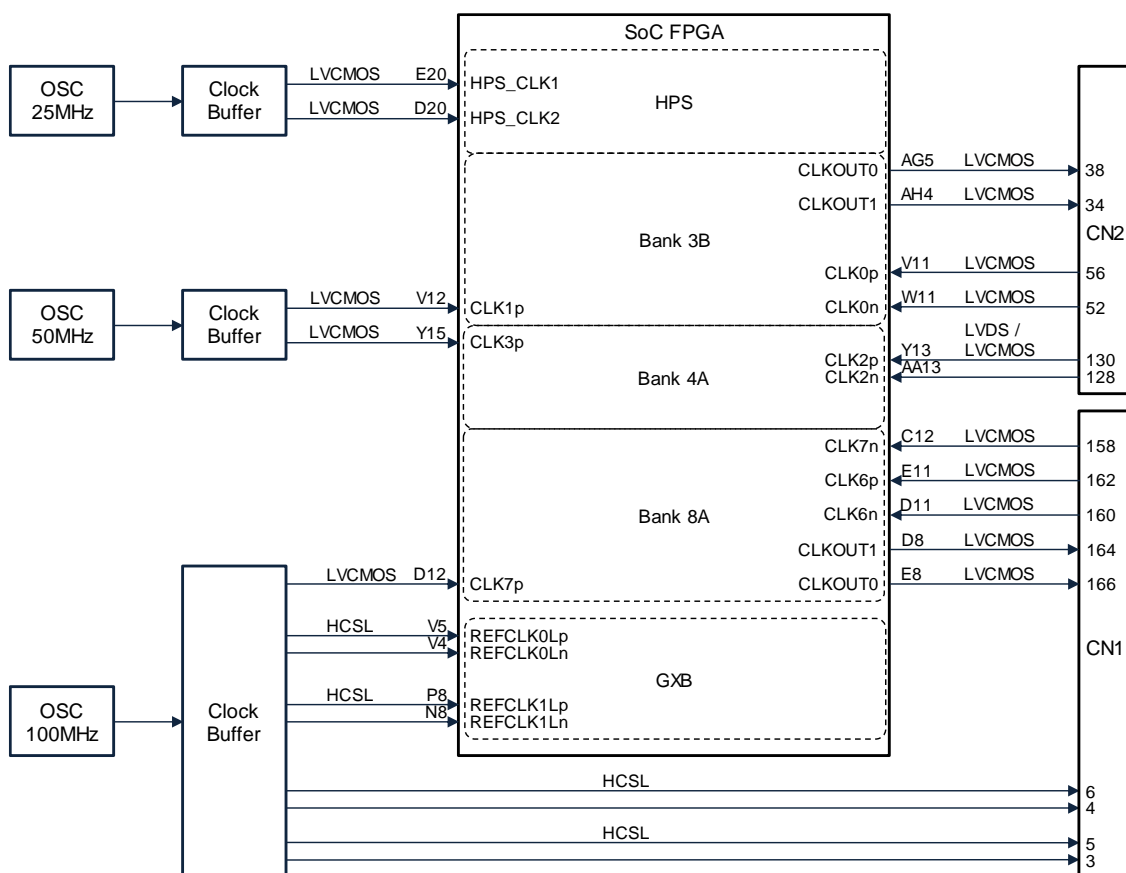


図 3-4 KEIm-CVSoC SoM クロック回路構成

3.4. リセット回路

本製品のリセット回路の構成を図 3-5、リセットタイミングを図 3-6 に示します。外部からリセット信号を入力する場合は、最低 1us 以上は信号をアサート(Low)してください。

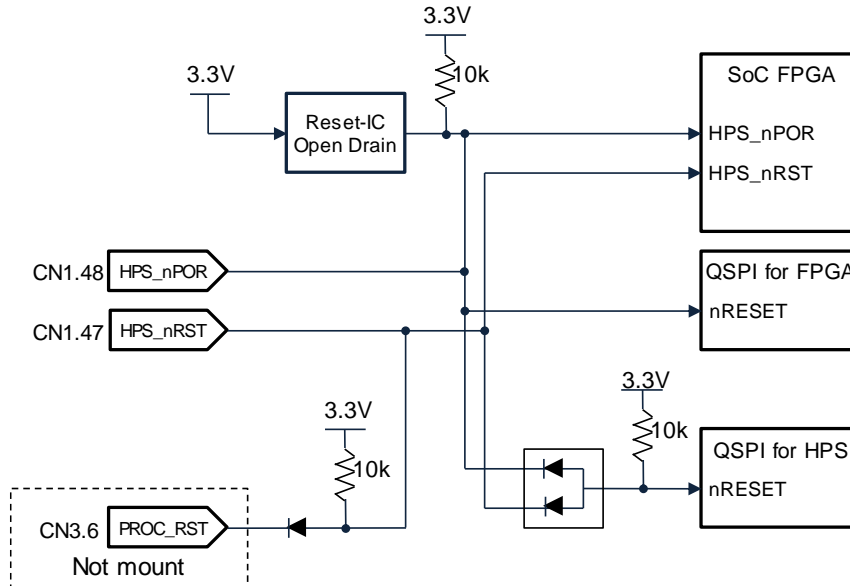


図 3-5 KEIm-CVSoC SoM リセット回路構成

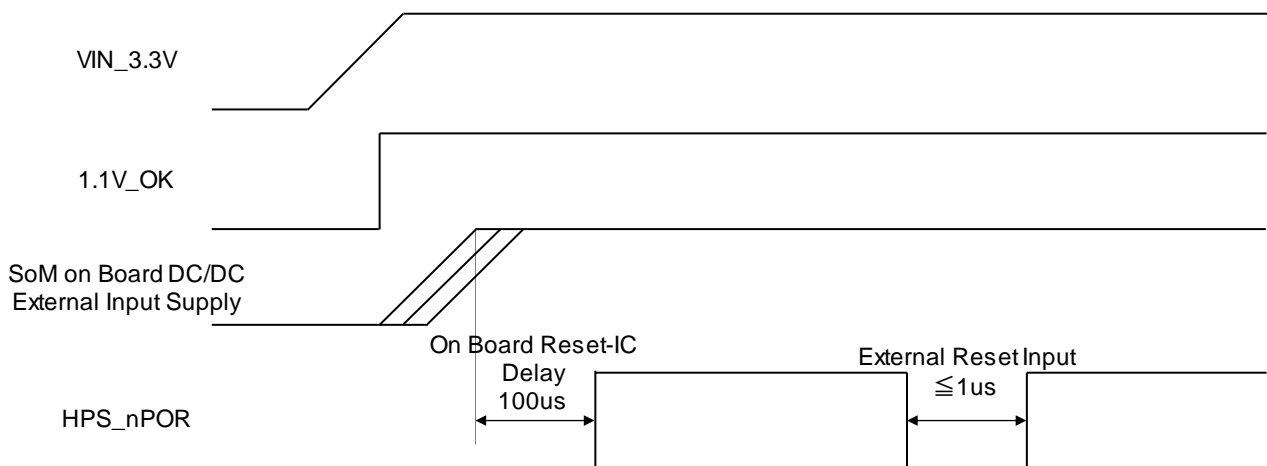


図 3-6 KEIm-CVSoC SoM リセットタイミング

3.5. I2C インターフェース

本製品の I2C インターフェースの接続構成を図 3-7 に、各ペリフェラルのスレーブアドレスを表 3.1 に記載します。

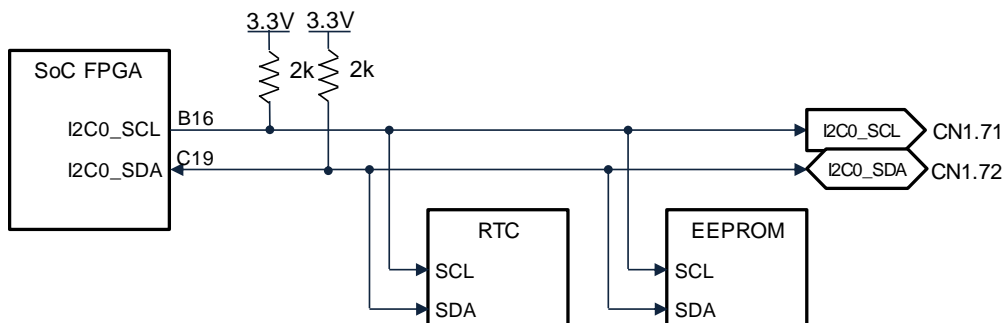


図 3-7 KEIm-CVSoC SoM I2C インターフェース接続構成

表 3.1 各ペリフェラルのスレーブアドレス

ペリフェラル	型式	7bit アドレス	8bit アドレス(W/R)
RTC	DS1339U-33+	0 x 68	0xd0 / 0xd1
EEPROM	24LC32A-I/ST	0 x 51	0xa2 / 0xa3

3.6. LED 回路

本製品の LED 回路の構成を図 3-8 に示します。

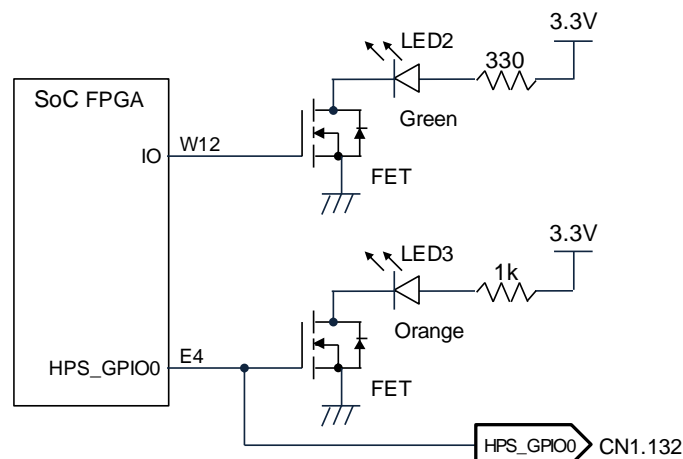


図 3-8 KEIm-CVSoC SoM LED 回路構成

3.7. コンフィグレーション回路

本製品のコンフィグレーション回路の構成を図 3-9 に示します。本製品は SW2 の設定によりコンフィグレーション元のデバイスを選択できます。表 3.2 に SW2 の設定モードと選択されるコンフィグレーションデバイスの関係を記載します。

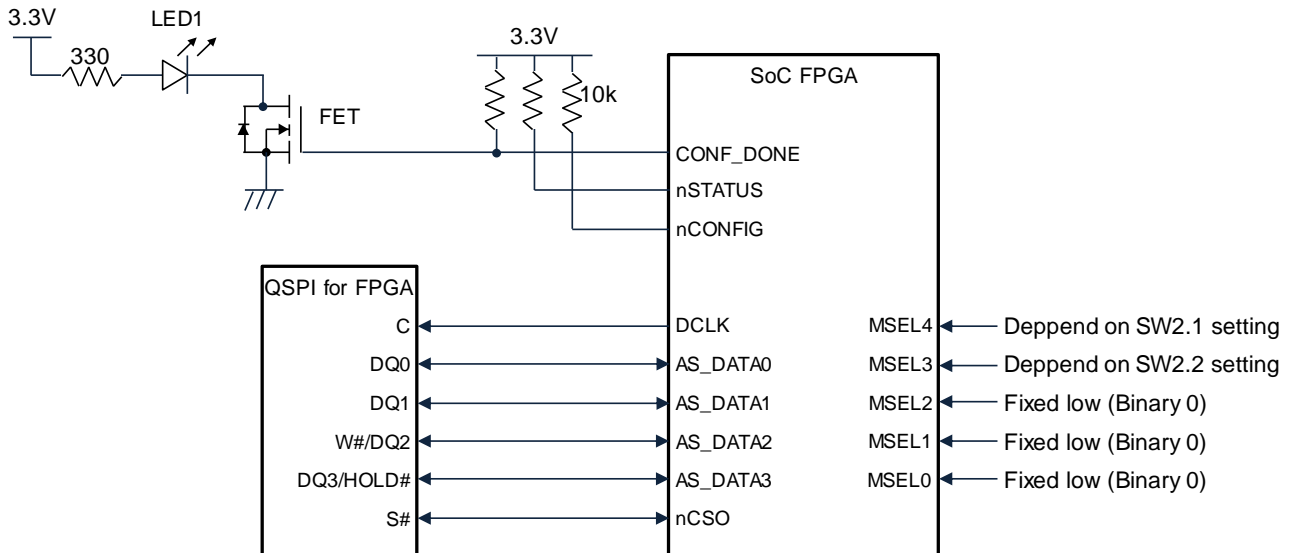
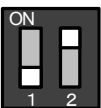
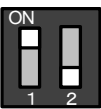


図 3-9 KEIm-CVSoC SoM コンフィグレーション回路構成

表 3.2 KEIm-CVSoC SoM SW2 機能

SW2 設定	コンフィグレーションモード	コンフィグレーションデバイス
 MSEL4=1 MSEL3=0	Active Serial x1 or x 4	SoM 上の QSPI Flash
 MSEL4=0 MSEL3=1	Fast Passive Parallel x 32	SD Card(外付けデバイス)

3.8. JTAG 回路

本製品の JTAG 回路の構成を図 3-10 に示します。

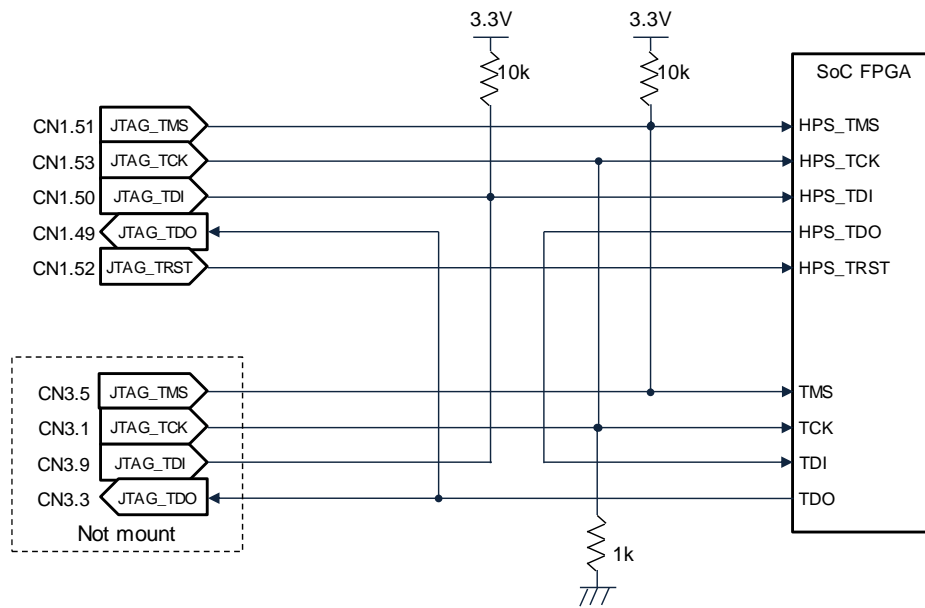


図 3-10 KEIm-CVSoC SoM JTAG 回路構成

4. 電気的特性

4.1. 絶対最大定格

本製品の絶対最大定格を表 4.1 に示します。

表 4.1 KEIm-CVSoC SoM 絶対最大定格

シンボル	項目	最小	最大	単位
VIN_3.3V	電源電圧	-0.3	3.6	V
VCCIO7C7D	Bank 7C / 7D IO 電圧	-0.5	3.9	V
VCCIO8A	Bank 8A IO 電圧	-0.3	3.6	V
VCCIO3B4A	Bank 3B / 4A IO 電圧	-0.5	3.9	V
VI	FPGA IO / HPS GPIO 入力電圧	-0.5	3.8	V
RTC_BATT	RTC バッテリ電圧	-0.5	6.0	V
Topr	動作温度	TBD	TBD	°C

4.2. 推奨動作条件

本製品の推奨動作条件を表 4.2 に示します。

表 4.2 KEIm-CVSoC SoM 推奨動作条件

シンボル	項目	最小	標準	最大	単位
VIN_3.3V	電源電圧	3.15	3.3	3.45	V
VCCIO7C7D	Bank 7C / 7D IO 電圧 (3.3V)	3.15	3.3	3.45	V
	Bank 7C / 7D IO 電圧 (2.5V)	2.375	2.5	2.625	V
VCCIO8A	Bank 8A IO 電圧 (3.3V)	3.15	3.3	3.45	V
	Bank 8A IO 電圧 (2.5V)	2.375	2.5	2.625	V
VCCIO3B4A	Bank 3B / 4A IO 電圧 (3.3V)	3.15	3.3	3.45	V
	Bank 3B / 4A IO 電圧 (2.5V)	2.375	2.5	2.625	V
RTC_BATT	RTC バッテリ電圧	1.3	3.0	3.7	V
1.1V_POK	1.1V パワーOK 出力	0.4		VIN_3.3V	V
2.5VOUT	2.5VOUT 出力電圧		2.5		V
	2.5VOUT 出力電流			TBD	mA

4.3. 入出力ピン仕様

入出力ピン仕様はバンク電圧及び設定により変化します。詳細は Intel® Cyclone® V Device Datasheet をご確認ください。

5. コネクタピンアサイン

5.1. 基板間コネクタ(CN1)

Pin	端子名	入出力	電圧	説明
1	GND	-	GND	Ground
2	GND	-	GND	Ground
3	REFCLK_QLB_N1	O	HCSL	GXB Reference Clock ChB negative pin
4	REFCLK_QLA_N1	O	HCSL	GXB Reference Clock ChA negative pin
5	REFCLK_QLB_P1	O	HCSL	GXB Reference Clock ChB positive pin
6	REFCLK_QLA_P1	O	HCSL	GXB Reference Clock ChA positive pin
7	GND	-	GND	Ground
8	GND	-	GND	Ground
9	GXB_TX_N0	O	1.5V PCML	GXB Transmitter Ch0 negative pin
10	GXB_RX_N0	I	1.5V PCML	GXB Receiver Ch0 negative pin
11	GXB_TX_P0	O	1.5V PCML	GXB Transmitter Ch0 positive pin
12	GXB_RX_P0	I	1.5V PCML	GXB Receiver Ch0 positive pin
13	GND	-	GND	Ground
14	GND	-	GND	Ground
15	GXB_TX_N1	O	1.5V PCML	GXB Transmitter Ch1 negative pin
16	GXB_RX_N1	I	1.5V PCML	GXB Receiver Ch1 negative pin
17	GXB_TX_P1	O	1.5V PCML	GXB Transmitter Ch1 positive pin
18	GXB_RX_P1	I	1.5V PCML	GXB Receiver Ch1 positive pin
19	GND	-	GND	Ground
20	GND	-	GND	Ground
21	GXB_TX_N2	O	1.5V PCML	GXB Transmitter Ch2 negative pin
22	GXB_RX_N2	I	1.5V PCML	GXB Receiver Ch2 negative pin
23	GXB_TX_P2	O	1.5V PCML	GXB Transmitter Ch2 positive pin
24	GXB_RX_P2	I	1.5V PCML	GXB Receiver Ch2 positive pin
25	GND	-	GND	Ground
26	GND	-	GND	Ground
27	GXB_TX_N3	O	1.5V PCML	GXB Transmitter Ch3 negative pin
28	GXB_RX_N3	I	1.5V PCML	GXB Receiver Ch3 negative pin
29	GXB_TX_P3	O	1.5V PCML	GXB Transmitter Ch3 positive pin
30	GXB_RX_P3	I	1.5V PCML	GXB Receiver Ch3 positive pin
31	GND	-	GND	Ground
32	GND	-	GND	Ground
33	GXB_TX_N4	O	1.5V PCML	GXB Transmitter Ch4 negative pin
34	GXB_RX_N4	I	1.5V PCML	GXB Receiver Ch4 negative pin
35	GXB_TX_P4	O	1.5V PCML	GXB Transmitter Ch4 positive pin
36	GXB_RX_P4	I	1.5V PCML	GXB Receiver Ch4 positive pin
37	GND	-	GND	Ground
38	GND	-	GND	Ground
39	GXB_TX_N5	O	1.5V PCML	GXB Transmitter Ch5 negative pin
40	GXB_RX_N5	I	1.5V PCML	GXB Receiver Ch5 negative pin
41	GXB_TX_P5	O	1.5V PCML	GXB Transmitter Ch5 positive pin
42	GXB_RX_P5	I	1.5V PCML	GXB Receiver Ch5 positive pin
43	GND	-	GND	Ground
44	GND	-	GND	Ground
45	-	-	-	Not Connected
46	-	-	-	Not Connected
47	HPS_nRST	I/O	3.3V	HPS warm reset (Active Low)
48	HPS_nPOR	I/O	3.3V	HPS cold reset (Active Low)
49	JTAG_TDO	O	3.3V	JTAG Test Data Output

Pin	端子名	入出力	電圧	説明
50	JTAG_TDI	I	3.3V	JTAG Test Data Input
51	JTAG_TMS	I	3.3V	JTAG Test Mode Select
52	JTAG_TRST	I	3.3V	JTAG Test Reset (Active Low)
53	JTAG_TCK	I	3.3V	JTAG Test Clock
54	HPS_GPIO51	I/O	3.3V	HPS GPIO Bit 51
55	HPS_GPIO52	I/O	3.3V	HPS GPIO Bit 52
56	HPS_GPIO50	I/O	3.3V	HPS GPIO Bit 50
57	HPS_GPIO53	I/O	3.3V	HPS GPIO Bit 53
58	HPS_GPIO49	I/O	3.3V	HPS GPIO Bit 49
59	GND	-	GND	Ground
60	GND	-	GND	Ground
61	HPS_GPIO56	I/O	3.3V	HPS GPIO Bit 56
62	HPS_GPIO48	I/O	3.3V	HPS GPIO Bit 48
63	HPS_GPIO55	I/O	3.3V	HPS GPIO Bit 55
64	HPS_GPIO54	I/O	3.3V	HPS GPIO Bit 54
65	HPS_GPIO61	I/O	3.3V	HPS GPIO Bit 61
66	HPS_GPIO62	I/O	3.3V	HPS GPIO Bit 62
67	SPIM0_CLK	O	3.3V	HPS SPIM0 Clock
68	SPIM0_MOSI	O	3.3V	HPS SPIM0 Master Out Slave In
69	SPIM0_MISO	I	3.3V	HPS SPIM0 Master In Slave Out
70	SPIM0_SS0	O	3.3V	HPS SPIM0 Slave Select 0
71	I2C0_SCL	I/O	3.3V	HPS I2C0 Serial Clock
72	I2C0_SDA	I/O	3.3V	HPS I2C0 Serial Data
73	UART0_TX	O	3.3V	HPS UART0 Transmit
74	UART0_RX	I	3.3v	HPS UART0 Receive
75	-	-	-	Not Connected
76	-	-	-	Not Connected
77	GND	-	GND	Ground
78	GND	-	GND	Ground
79	GND	-	GND	Ground
80	GND	-	GND	Ground
81	-	-	-	Not Connected
82	-	-	-	Not Connected
83	RGMII1_TX_CLK	O	3.3V	HPS RGMII1 Transmit Clock
84	RGMII1_RX_CLK	I	3.3V	HPS RGMII1 Receive Clock
85	RGMII1_TX_CTL	O	3.3V	HPS RGMII1 Transmit Control
86	RGMII1_RX_CTL	I	3.3V	HPS RGMII1 Receive Control
87	RGMII1_TXD0	O	3.3V	HPS RGMII1 Transmit Data Bit 0
88	RGMII1_RXD0	I	3.3V	HPS RGMII1 Receive Data Bit 0
89	RGMII1_TXD1	O	3.3V	HPS RGMII1 Transmit Data Bit 1
90	RGMII1_RXD1	I	3.3V	HPS RGMII1 Receive Data Bit 1
91	RGMII1_TXD2	O	3.3V	HPS RGMII1 Transmit Data Bit 2
92	RGMII1_RXD2	I	3.3V	HPS RGMII1 Receive Data Bit 2
93	RGMII1_TXD3	O	3.3V	HPS RGMII1 Transmit Data Bit 3
94	RGMII1_RXD3	I	3.3V	HPS RGMII1 Receive Data Bit 3
95	RGMII1_MDC	O	3.3V	HPS RGMII1 Management Data Clock
96	RGMII1_MDIO	I/O	3.3V	HPS RGMII1 Management Data IO
97	GND	-	GND	Ground
98	GND	-	GND	Ground
99	HPS_GPIO28	I/O	3.3V	HPS GPIO Bit 28
100	HPS_GPIO35	I/O	3.3V	HPS GPIO Bit 35
101	QSPI_CLK	O	3.3V	HPS QSPI Clock

Pin	端子名	入出力	電圧	説明
102	QSPI_SS0	O	3.3V	HPS QSPI Slave Select 0
103	QSPI_IO0	I/O	3.3V	HPS QSPI Data IO Bit 0
104	QSPI_IO1	I/O	3.3V	HPS QSPI Data IO Bit 1
105	QSPI_IO2	I/O	3.3V	HPS QSPI Data IO Bit 2
106	QSPI_IO3	I/O	3.3V	HPS QSPI Data IO Bit 3
107	-	-	-	Not Connected
108	-	-	-	Not Connected
109	GND	-	GND	Ground
110	GND	-	GND	Ground
111	HPS_GPIO37	I/O	B7C7D_VCCIO	HPS GPIO Bit 37
112	HPS_GPIO44	I/O	B7C7D_VCCIO	HPS GPIO Bit 44
113	SDMMC_D0	I/O	B7C7D_VCCIO	HPS SDMMC Data Bit 0
114	SDMMC_D1	I/O	B7C7D_VCCIO	HPS SDMMC Data Bit 1
115	SDMMC_D2	I/O	B7C7D_VCCIO	HPS SDMMC Data Bit 2
116	SDMMC_D3	I/O	B7C7D_VCCIO	HPS SDMMC Data Bit 3
117	SDMMC_CMD	I/O	B7C7D_VCCIO	HPS SDMMC Command Line
118	SDMMC_CLK	O	B7C7D_VCCIO	HPS SDMMC Clock out
119	HPS_GPIO42	I/O	B7C7D_VCCIO	HPS GPIO Bit 42
120	HPS_GPIO43	I/O	B7C7D_VCCIO	HPS GPIO Bit 43
121	HPS_GPIO40	I/O	B7C7D_VCCIO	HPS GPIO Bit 40
122	HPS_GPIO41	I/O	B7C7D_VCCIO	HPS GPIO Bit 41
123	B7C7D_VCCIO	I	3.3V or 2.5V	Bank 7C 7D VCCIO
124	B7C7D_VCCIO	I	3.3V or 2.5V	Bank 7C 7D VCCIO
125	GND	-	GND	Ground
126	GND	-	GND	Ground
127	GND	-	GND	Ground
128	GND	-	GND	Ground
129	B7C7D_VCCIO	I	3.3V or 2.5V	Bank 7C 7D VCCIO
130	B7C7D_VCCIO	I	3.3V or 2.5V	Bank 7C 7D VCCIO
131	HPS_GPIO9	I/O	B7C7D_VCCIO	HPS GPIO Bit 9
132	HPS_GPIO0	I/O	B7C7D_VCCIO	HPS GPIO Bit 0
133	USB1_CLK	I	B7C7D_VCCIO	HPS USB1 Clock
134	USB1_STP	O	B7C7D_VCCIO	HPS USB1 Stop Data
135	USB1_DIR	I	B7C7D_VCCIO	HPS USB1 Direction
136	USB1_NXT	I	B7C7D_VCCIO	HPS USB1 Next Data
137	USB1_D0	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 0
138	USB1_D1	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 1
139	USB1_D2	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 2
140	USB1_D3	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 3
141	USB1_D4	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 4
142	USB1_D5	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 5
143	USB1_D6	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 6
144	USB1_D7	I/O	B7C7D_VCCIO	HPS USB1 Data Bit 7
145	RTC_BATT	I	3.0V	RTC Battery Input
146	1.1V_POK	O	3.3V	1.1V Power OK Output
147	-	-	-	Not Connected
148	-	-	-	Not Connected
149	GND	-	GND	Ground
150	GND	-	GND	Ground
151	GND	-	GND	Ground
152	GND	-	GND	Ground
153	VCCIO8A	I	3.3V or 2.5V	Bank 8A VCCIO

Pin	端子名	入出力	電圧	説明
154	VCCIO8A	I	3.3V or 2.5V	Bank 8A VCCIO
155	B8A_IO10	I/O	VCCIO8A	Bank 8A FPGA IO Port
156	-	-	-	Not Connected
157	B8A_IO11	I/O	VCCIO8A	Bank 8A FPGA IO Port
158	B8A_IO1	I/O	VCCIO8A	Bank 8A FPGA IO Port
159	B8A_IO6	I/O	VCCIO8A	Bank 8A FPGA IO Port
160	B8A_IO3	I/O	VCCIO8A	Bank 8A FPGA IO Port
161	B8A_IO7	I/O	VCCIO8A	Bank 8A FPGA IO Port
162	B8A_IO2	I/O	VCCIO8A	Bank 8A FPGA IO Port
163	B8A_IO4	I/O	VCCIO8A	Bank 8A FPGA IO Port
164	B8A_IO8	I/O	VCCIO8A	Bank 8A FPGA IO Port
165	B8A_IO5	I/O	VCCIO8A	Bank 8A FPGA IO Port
166	B8A_IO9	I/O	VCCIO8A	Bank 8A FPGA IO Port
167	GND	-	GND	Ground
168	GND	-	GND	Ground

※ IO 電圧に印加する電圧は Intel® Cyclone® V Device Datasheet をご確認ください。

5.2. 基板間コネクタ(CN2)

Pin	端子名	入出力	電圧	説明
1	B3A_IO7	I/O	3.3V	Bank 3A FPGA IO Port
2	B3A_IO5	I/O	3.3V	Bank 3A FPGA IO Port
3	B3A_IO9	I/O	3.3V	Bank 3A FPGA IO Port
4	B3A_IO11	I/O	3.3V	Bank 3A FPGA IO Port
5	B3A_IO1	I/O	3.3V	Bank 3A FPGA IO Port
6	B3A_IO3	I/O	3.3V	Bank 3A FPGA IO Port
7	B3A_IO6	I/O	3.3V	Bank 3A FPGA IO Port
8	B3A_IO4	I/O	3.3V	Bank 3A FPGA IO Port
9	B3A_IO10	I/O	3.3V	Bank 3A FPGA IO Port
10	B3A_IO8	I/O	3.3V	Bank 3A FPGA IO Port
11	B3A_IO13	I/O	3.3V	Bank 3A FPGA IO Port
12	B3A_IO12	I/O	3.3V	Bank 3A FPGA IO Port
13	B3A_IO15	I/O	3.3V	Bank 3A FPGA IO Port
14	B3A_IO0	I/O	3.3V	Bank 3A FPGA IO Port
15	B3A_IO14	I/O	3.3V	Bank 3A FPGA IO Port
16	B3A_IO2	I/O	3.3V	Bank 3A FPGA IO Port
17	-	-	-	Not Connected
18	-	-	-	Not Connected
19	GND	-	GND	Ground
20	GND	-	GND	Ground
21	GND	-	GND	Ground
22	GND	-	GND	Ground
23	B3B4A_VCCIO	I	3.3V or 2.5V	Bank 3B 4A VCCIO
24	B3B4A_VCCIO	I	3.3V or 2.5V	Bank 3B 4A VCCIO
25	B3B_IO4	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
26	B3B_IO19	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
27	B3B_IO5	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
28	B3B_IO21	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
29	B3B_IO18	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
30	B3B_IO20	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
31	B3B_IO10	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
32	B3B_IO1	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
33	B3B_IO3	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
34	B3B_IO27	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
35	B3B_IO8	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
36	B3B_IO0	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
37	B3B_IO6	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
38	B3B_IO26	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
39	B3B_IO11	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
40	B3B_IO25	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
41	GND	-	GND	Ground
42	GND	-	GND	Ground
43	B3B_IO13	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
44	B3B_IO12	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
45	B3B_IO15	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
46	B3B_IO24	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
47	B3B_IO14	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
48	B3B_IO7	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
49	B3B_IO9	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
50	B3B_IO17	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
51	B3B_IO16	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port

Pin	端子名	入出力	電圧	説明
52	B3B_IO29	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
53	B3B_IO22	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
54	B3B_IO2	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
55	B3B_IO23	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
56	B3B_IO28	I/O	B3B4A_VCCIO	Bank 3B FPGA IO Port
57	2.5VOUT	O	2.5V	2.5V Power out
58	2.5VOUT	O	2.5V	2.5V Power out
59	GND	-	GND	Ground
60	GND	-	GND	Ground
61	GND	-	GND	Ground
62	GND	-	GND	Ground
63	B3B4A_VCCIO	I	3.3V or 2.5V	Bank 3B 4A VCCIO
64	B3B4A_VCCIO	I	3.3V or 2.5V	Bank 3B 4A VCCIO
65	B4A_RX_N5	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
66	B4A_TX_N0	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
67	B4A_RX_P5	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
68	B4A_TX_P0	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
69	B4A_RX_N9	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
70	B4A_TX_N1	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
71	B4A_RX_P9	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
72	B4A_TX_P1	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
73	B4A_RX_N11	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
74	B4A_TX_N2	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
75	B4A_RX_P11	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
76	B4A_TX_P2	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
77	B4A_RX_N1	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
78	B4A_TX_N3	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
79	B4A_RX_P1	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
80	B4A_TX_P3	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
81	GND	-	GND	Ground
82	GND	-	GND	Ground
83	B4A_RX_N4	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
84	B4A_TX_N4	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
85	B4A_RX_P4	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
86	B4A_TX_P4	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
87	B4A_RX_N0	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
88	B4A_TX_N6	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
89	B4A_RX_P0	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
90	B4A_TX_P6	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
91	B4A_RX_N2	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
92	B4A_TX_N5	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
93	B4A_RX_P2	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
94	B4A_TX_P5	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
95	B4A_RX_N3	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
96	B4A_TX_N7	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
97	B4A_RX_P3	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
98	B4A_TX_P7	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
99	GND	-	GND	Ground
100	GND	-	GND	Ground
101	B4A_RX_N6	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
102	B4A_TX_N8	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
103	B4A_RX_P6	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port

Pin	端子名	入出力	電圧	説明
104	B4A_TX_P8	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
105	B4A_RX_N8	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
106	B4A_TX_N9	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
107	B4A_RX_P8	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
108	B4A_TX_P9	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
109	B4A_RX_N10	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
110	B4A_TX_N10	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
111	B4A_RX_P10	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
112	B4A_TX_P10	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
113	B4A_RX_N12	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
114	B4A_TX_N11	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
115	B4A_RX_P12	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
116	B4A_TX_P11	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
117	GND	-	GND	Ground
118	GND	-	GND	Ground
119	B4A_RX_N14	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
120	B4A_TX_N12	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
121	B4A_RX_P14	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
122	B4A_TX_P12	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
123	B4A_RX_N7	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
124	B4A_TX_CLK_N	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (n) Port
125	B4A_RX_P7	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
126	B4A_TX_CLK_P	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS TX (p) Port
127	B4A_RX_N13	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
128	B4A_RX_CLK_N	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (n) Port
129	B4A_RX_P13	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
130	B4A_RX_CLK_P	I/O	B3B4A_VCCIO	Bank 4A FPGA IO or LVDS RX (p) Port
131	B4A_IO0	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
132	B4A_IO2	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
133	B4A_IO1	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
134	B4A_IO4	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
135	B4A_IO3	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
136	B4A_IO5	I/O	B3B4A_VCCIO	Bank 4A FPGA IO Port
137	-	-	-	Not Connected
138	-	-	-	Not Connected
139	GND	-	GND	Ground
140	GND	-	GND	Ground
141	-	-	-	Not Connected
142	-	-	-	Not Connected
143	B5A_IO5	I/O	3.3V	Bank 5A FPGA IO Port
144	B5A_IO12	I/O	3.3V	Bank 5A FPGA IO Port
145	B5A_IO4	I/O	3.3V	Bank 5A FPGA IO Port
146	B5A_IO9	I/O	3.3V	Bank 5A FPGA IO Port
147	B5A_IO0	I/O	3.3V	Bank 5A FPGA IO Port
148	B5A_IO3	I/O	3.3V	Bank 5A FPGA IO Port
149	B5A_IO1	I/O	3.3V	Bank 5A FPGA IO Port
150	B5A_IO2	I/O	3.3V	Bank 5A FPGA IO Port
151	B5A_IO13	I/O	3.3V	Bank 5A FPGA IO Port
152	B5A_IO7	I/O	3.3V	Bank 5A FPGA IO Port
153	B5A_IO6	I/O	3.3V	Bank 5A FPGA IO Port
154	B5A_IO8	I/O	3.3V	Bank 5A FPGA IO Port
155	B5A_nPERSTL0	I/O	3.3V	Bank 5A FPGA IO Port

Pin	端子名	入出力	電圧	説明
156	B5A_IO11	I/O	3.3V	Bank 5A FPGA IO Port
157	B5A_nPERSTL1	I/O	3.3V	Bank 5A FPGA IO Port
158	B5A_IO10	I/O	3.3V	Bank 5A FPGA IO Port
159	GND	-	GND	Ground
160	GND	-	GND	Ground
161	VIN	I	3.3V	3.3V Power In
162	VIN	I	3.3V	3.3V Power In
163	VIN	I	3.3V	3.3V Power In
164	VIN	I	3.3V	3.3V Power In
165	VIN	I	3.3V	3.3V Power In
166	VIN	I	3.3V	3.3V Power In
167	VIN	I	3.3V	3.3V Power In
168	VIN	I	3.3V	3.3V Power In

6. 更新履歴

Ver.	更新日付	内容
1.0	2020/11/20	新規作成