

---

# KEIm-25SoM ハードウェアマニュアル

Ver.1.0



## はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



### 取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口又は弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置（航空、宇宙機器、原子力制御機器、生命維持のための医療機器等）には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品又は本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部又は一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各メーカーの商標または登録商標です。

### お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

[keim-support@kd-group.co.jp](mailto:keim-support@kd-group.co.jp)

## 目次

1. 概要 .....	4
1.1. 基本仕様.....	4
1.2. ボードレイアウト.....	5
1.3. 基板外形.....	5
2. ハードウェア構成.....	6
2.1. ブロック図.....	6
2.2. 電源回路.....	6
2.3. クロック回路 .....	7
2.4. リセット回路.....	7
2.5. 汎用ポート回路 .....	8
2.6. LED 回路.....	8
2.7. コンフィグレーション回路 .....	8
2.8. JTAG 回路.....	8
3. 電気的特性.....	9
3.1. 絶対最大定格 .....	9
3.2. 推奨動作条件 .....	9
3.3. 入出力ピン仕様.....	9
4. コネクタピンアサイン.....	10
4.1. 基板間コネクタ(CN1).....	10
4.2. 拡張コネクタ(CN3) .....	13
5. 更新履歴 .....	14

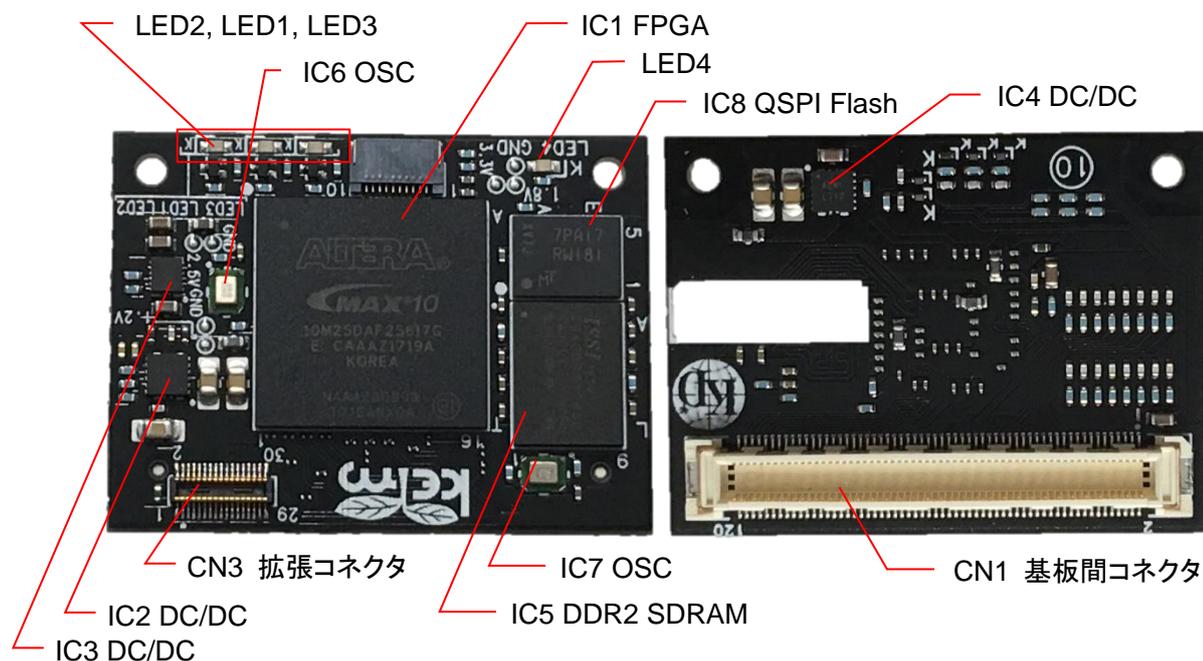
## 1. 概要

本書はインテル® MAX® 10 FPGA を搭載した System on Module (以降 SoM) KEIm-25SoM のハードウェア仕様について記載します。

### 1.1. 基本仕様

項目	内容	
FPGA	型式	10M25DAF256I7G (Intel)
	Logic Elements	25KLE
	M9K Memory	675kbits
	User Flash Memory	3,200kbits
	18 x 18 Multiplier	55
	PLLs	4
	ADC	2
外部メモリ	DDR2 SDRAM	128MByte、バス幅 8bit、 IS43DR81280C-3DBLI (ISSI) または同等品
	QSPI Flash	64MByte、Quad SPI、 MT25QL512ABB8E12-0SIT (Micron) または同等品
基板間コネクタ	120ピン基板間コネクタ FX10A-120P-SV (ヒロセ) 内汎用 IO ポート 最大 90 本	
拡張コネクタ	30ピン基板間コネクタ DF40C-30DP-0.4V (ヒロセ) 内汎用 IO ポート最大 22 本	
デバッグポート	JTAG I/F (基板間コネクタにピンアサイン)	
電源	+3.3V±5% (3.135~3.465V)、VCCIO	
消費電流	TBD	
使用温度範囲	TBD	
外形寸法	40×30mm	

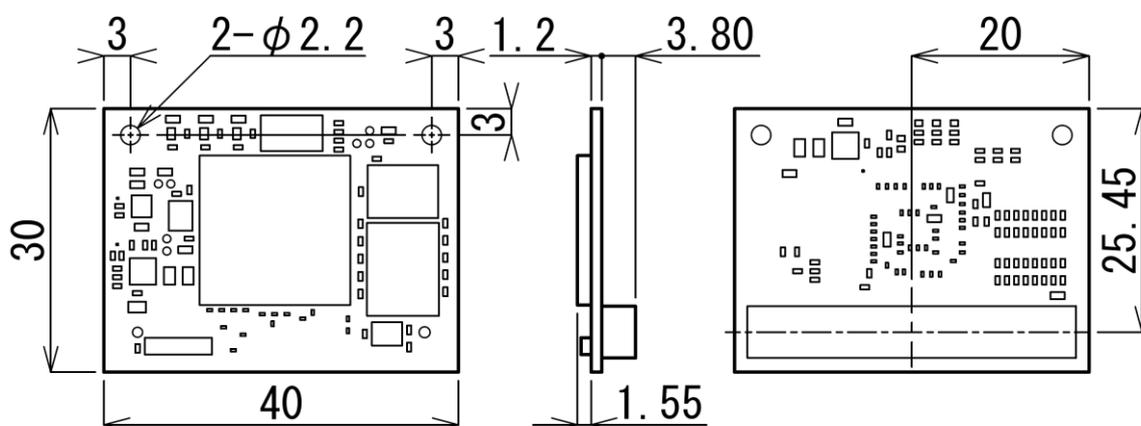
## 1.2. ボードレイアウト



## コンポーネント一覧

リファレンス	名称	説明
CN1	基板間コネクタ	120ピン、0.5mmピッチ基板間コネクタ
CN3	拡張コネクタ	30ピン、0.4mmピッチ基板間コネクタ
IC1	FPGA	インテル® MAX® 10 FPGA
IC2, IC3, IC4	DC/DC	3.3V→1.2Vレギュレータ
IC5	DDR2 SDRAM	128MByte
IC6, IC7	発振器	50MHz
IC8	QSPI Flash	64MByte
LED1, LED2	汎用LED	ユーザー用LED
LED3	コンフィグLED	コンフィグ完了時点灯、未完了時消灯
LED4	電源LED	電源ON時点灯、OFF時消灯

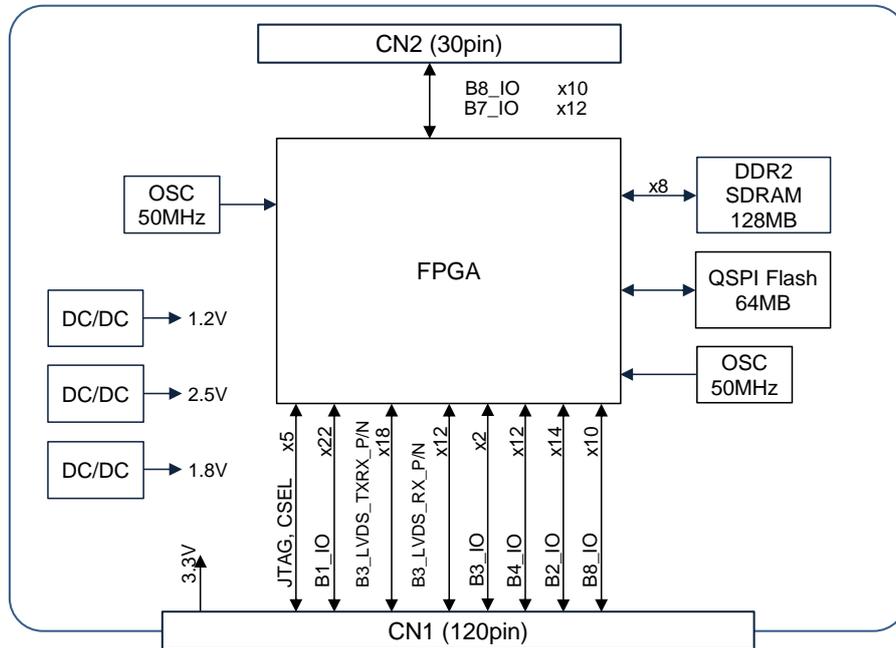
## 1.3. 基板外形



## 2. ハードウェア構成

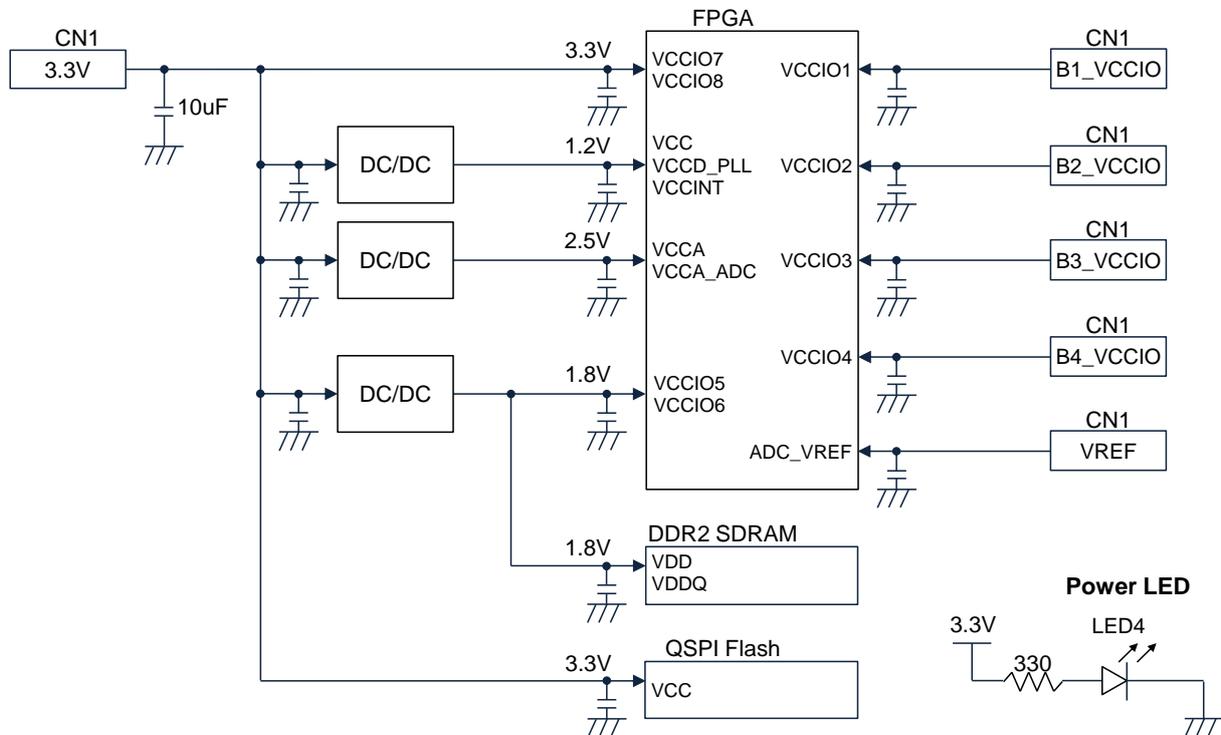
### 2.1. ブロック図

本製品のブロック図を下記に示します。



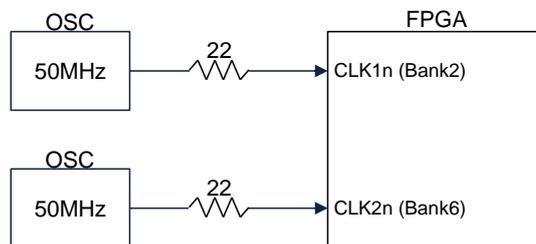
### 2.2. 電源回路

本製品の電源回路の構成を下記に示します。



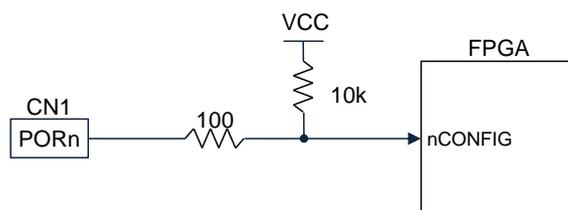
### 2.3. クロック回路

本製品のクロック回路の構成を下記に示します。

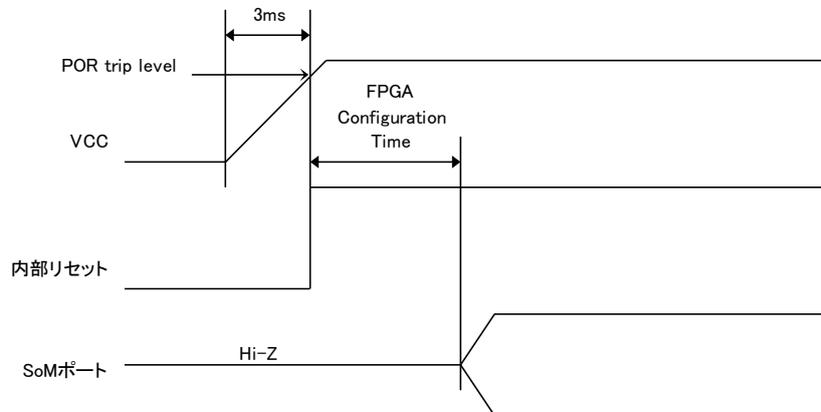


### 2.4. リセット回路

本製品のリセット回路の構成を下記に示します。PORn に対してリセット信号を入力する場合、最低 1us 以上は信号をアサートしてください。



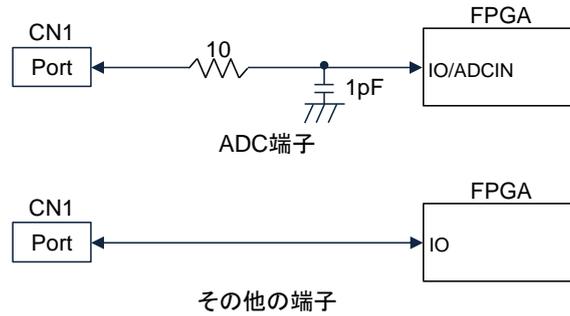
#### 電源立ち上げタイミング



※電源立ち上げ時間が 3ms を超える場合は、  
電源が立ち上がるまで PORn(nCONFIG)信号を Low に保持してください。

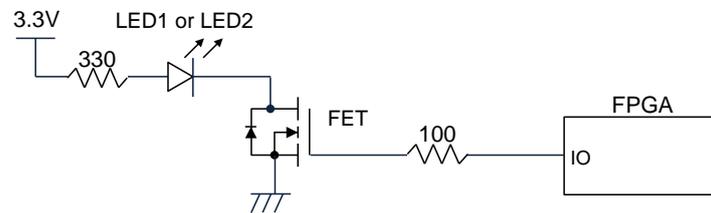
## 2.5. 汎用ポート回路

本製品の汎用ポートの回路構成を下記に示します。



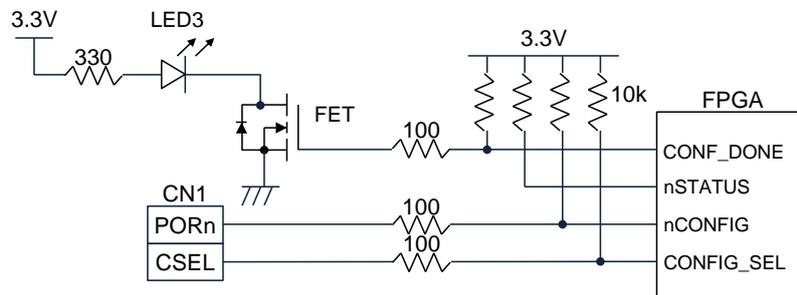
## 2.6. LED 回路

本製品の LED 回路の構成を下記に示します。



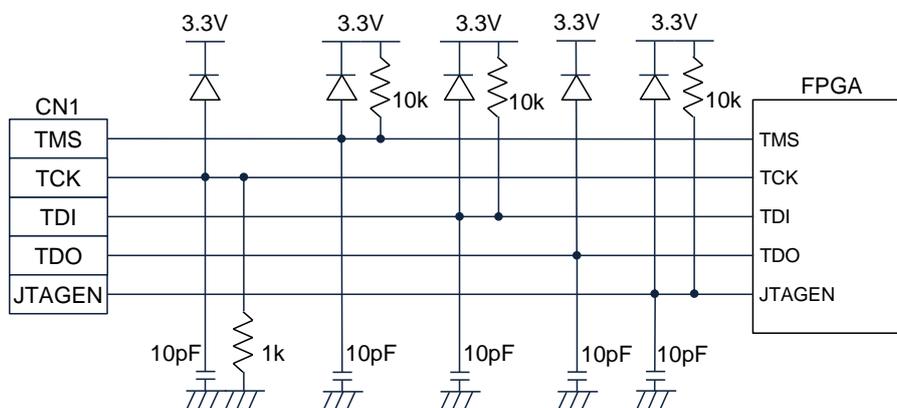
## 2.7. コンフィグレーション回路

本製品のコンフィグレーション回路の構成を下記に示します。



## 2.8. JTAG 回路

本製品の JTAG 回路の構成を下記に示します。



### 3. 電気的特性

#### 3.1. 絶対最大定格

記号	項目	最小	最大	単位
VCC	電源電圧	-0.5	3.9	V
VI	入力電圧	-0.5	4.12	V
Iout	出力電流	-25	25	mA
Topr	動作温度	TBD	TBD	°C

#### 3.2. 推奨動作条件

記号	項目	最小	標準	最大	単位
VCC	電源電圧	3.135	3.3	3.465	V
VI	入力電圧	-0.3		3.6	V
Iout	出力電流	-4		4	mA

#### 3.3. 入出力ピン仕様

入出力ピン仕様はバンク電圧及び設定により変化します。詳細は Intel MAX 10 FPGA Device Datasheet をご確認ください。

## 4. コネクタピンアサイン

### 4.1. 基板間コネクタ(CN1)

Pin	端子名	入出力	電圧	説明
1	3.3V	I	3.3V	3.3V 電源
2	3.3V	I	3.3V	3.3V 電源
3	3.3V	I	3.3V	3.3V 電源
4	3.3V	I	3.3V	3.3V 電源
5	B8_IO0	I/O	3.3V	BANK8 IO ポート
6	B8_IO1	I/O	3.3V	BANK8 IO ポート
7	B8_IO2	I/O	3.3V	BANK8 IO ポート
8	B8_IO3	I/O	3.3V	BANK8 IO ポート
9	B8_IO4	I/O	3.3V	BANK8 IO ポート
10	B8_IO5	I/O	3.3V	BANK8 IO ポート
11	B8_IO6	I/O	3.3V	BANK8 IO ポート
12	B8_IO7	I/O	3.3V	BANK8 IO ポート
13	B8_IO8	I/O	3.3V	BANK8 IO ポート
14	B8_IO9	I/O	3.3V	BANK8 IO ポート
15	PORn	I	3.3V	パワーオンリセット (nCONFIG)
16	B8_IO20_CSEL	I/O	3.3V	BANK8 IO ポート / Config Select
17	AGND	-	グラウンド	アナロググラウンド
18	DGND	-	グラウンド	グラウンド
19	VREF	I	2.5V	ADC 用 VREF
20	B1_VCCIO	I	IO 電圧	BANK1 VCCIO ※1
21	B1_IO0	I/O	B1_VCCIO	BANK1 IO ポート
22	B1_IO1	I/O	B1_VCCIO	BANK1 IO ポート
23	B1_IO2	I/O	B1_VCCIO	BANK1 IO ポート
24	B1_IO3	I/O	B1_VCCIO	BANK1 IO ポート
25	B1_IO4	I/O	B1_VCCIO	BANK1 IO ポート
26	B1_IO5	I/O	B1_VCCIO	BANK1 IO ポート
27	B1_IO6	I/O	B1_VCCIO	BANK1 IO ポート
28	B1_IO7	I/O	B1_VCCIO	BANK1 IO ポート
29	B1_IO8	I/O	B1_VCCIO	BANK1 IO ポート
30	B1_IO9	I/O	B1_VCCIO	BANK1 IO ポート
31	B1_IO10	I/O	B1_VCCIO	BANK1 IO ポート
32	B1_IO11	I/O	B1_VCCIO	BANK1 IO ポート
33	B1_IO12	I/O	B1_VCCIO	BANK1 IO ポート
34	B1_IO13	I/O	B1_VCCIO	BANK1 IO ポート
35	B1_IO14	I/O	B1_VCCIO	BANK1 IO ポート
36	B1_IO15	I/O	B1_VCCIO	BANK1 IO ポート
37	B1_IO16	I/O	B1_VCCIO	BANK1 IO ポート
38	B1_IO17	I/O	B1_VCCIO	BANK1 IO ポート
39	B1_IO18	I/O	B1_VCCIO	BANK1 IO ポート
40	B1_IO19	I/O	B1_VCCIO	BANK1 IO ポート
41	B1_IO20	I/O	B1_VCCIO	BANK1 IO ポート
42	B1_IO21_JTAGEN	I/O	B1_VCCIO	BANK1 IO ポート / JTAG Enable
43	TMS	I	B1_VCCIO	JTAG TMS
44	TCK	I	B1_VCCIO	JTAG TCK

Pin	端子名	入出力	電圧	説明
45	TDI	I	B1_VCCIO	JTAG TDI
46	TDO	O	B1_VCCIO	JTAG TDO
47	DGND	-	グラウンド	グラウンド
48	DGND	-	グラウンド	グラウンド
49	B2_VCCIO	I	IO 電圧	BANK2 VCCIO ※1
50	B2_VCCIO	I	IO 電圧	BANK2 VCCIO ※1
51	B2_IO0	I/O	B2_VCCIO	BANK2 IO ポート
52	B2_IO1	I/O	B2_VCCIO	BANK2 IO ポート
53	B2_IO2	I/O	B2_VCCIO	BANK2 IO ポート
54	B2_IO3	I/O	B2_VCCIO	BANK2 IO ポート
55	B2_IO4	I/O	B2_VCCIO	BANK2 IO ポート
56	B2_IO5	I/O	B2_VCCIO	BANK2 IO ポート
57	B2_IO6	I/O	B2_VCCIO	BANK2 IO ポート
58	B2_IO7	I/O	B2_VCCIO	BANK2 IO ポート
59	B2_IO8	I/O	B2_VCCIO	BANK2 IO ポート
60	B2_IO9	I/O	B2_VCCIO	BANK2 IO ポート
61	B2_IO10	I/O	B2_VCCIO	BANK2 IO ポート
62	B2_IO11	I/O	B2_VCCIO	BANK2 IO ポート
63	B2_IO12	I/O	B2_VCCIO	BANK2 IO ポート
64	B2_IO13	I/O	B2_VCCIO	BANK2 IO ポート
65	DGND	-	グラウンド	グラウンド
66	DGND	-	グラウンド	グラウンド
67	B3_VCCIO	I	IO 電圧	BANK3 VCCIO ※1
68	B3_VCCIO	I	IO 電圧	BANK3 VCCIO ※1
69	B3_LVDS_TXRX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
70	B3_LVDS_RX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
71	B3_LVDS_TXRX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
72	B3_LVDS_RX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
73	B3_LVDS_TXRX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
74	B3_LVDS_RX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
75	B3_LVDS_TXRX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
76	B3_LVDS_RX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
77	B3_LVDS_TXRX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
78	B3_LVDS_RX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
79	B3_LVDS_TXRX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
80	B3_LVDS_RX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
81	B3_LVDS_TXRX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
82	B3_LVDS_RX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
83	B3_LVDS_TXRX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
84	B3_LVDS_RX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
85	DGND	-	グラウンド	グラウンド
86	DGND	-	グラウンド	グラウンド
87	B3_LVDS_TXRX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
88	B3_LVDS_RX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
89	B3_LVDS_TXRX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
90	B3_LVDS_RX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
91	B3_LVDS_TXRX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P

Pin	端子名	入出力	電圧	説明
92	B3_LVDS_RX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
93	B3_LVDS_TXRX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
94	B3_LVDS_RX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
95	B3_LVDS_TXRX_P6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
96	B3_LVDS_TXRX_P8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
97	B3_LVDS_TXRX_N6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
98	B3_LVDS_TXRX_N8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
99	B3_LVDS_TXRX_P7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
100	B3_IO0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
101	B3_LVDS_TXRX_N7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
102	B3_IO1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
103	DGND	-	グラウンド	グラウンド
104	DGND	-	グラウンド	グラウンド
105	B4_VCCIO	I	IO 電圧	BANK4 VCCIO ※1
106	B4_VCCIO	I	IO 電圧	BANK4 VCCIO ※1
107	B4_IO0	I/O	B4VCCIO	BANK4 IO ポート
108	B4_IO1	I/O	B4VCCIO	BANK4 IO ポート
109	B4_IO2	I/O	B4VCCIO	BANK4 IO ポート
110	B4_IO3	I/O	B4VCCIO	BANK4 IO ポート
111	B4_IO4	I/O	B4VCCIO	BANK4 IO ポート
112	B4_IO5	I/O	B4VCCIO	BANK4 IO ポート
113	B4_IO6	I/O	B4VCCIO	BANK4 IO ポート
114	B4_IO7	I/O	B4VCCIO	BANK4 IO ポート
115	B4_IO8	I/O	B4VCCIO	BANK4 IO ポート
116	B4_IO9	I/O	B4VCCIO	BANK4 IO ポート
117	B4_IO10	I/O	B4VCCIO	BANK4 IO ポート
118	B4_IO11	I/O	B4VCCIO	BANK4 IO ポート
119	DGND	-	グラウンド	グラウンド
120	DGND	-	グラウンド	グラウンド

※1 IO 電圧に印加する電圧は Intel MAX 10 FPGA Device Datasheet を確認してください。

## 4.2. 拡張コネクタ(CN3)

Pin	端子名	入出力	電圧	説明
1	3.3V	O	3.3V	3.3V 電源
2	3.3V	O	3.3V	3.3V 電源
3	B7_VCCIO	O	3.3V	3.3V 電源
4	B7_VCCIO	O	3.3V	3.3V 電源
5	B7_IO0	I/O	3.3V	BANK7 IO ポート
6	B7_IO1	I/O	3.3V	BANK7 IO ポート
7	B7_IO2	I/O	3.3V	BANK7 IO ポート
8	B7_IO3	I/O	3.3V	BANK7 IO ポート
9	B7_IO4	I/O	3.3V	BANK7 IO ポート
10	B7_IO5	I/O	3.3V	BANK7 IO ポート
11	B7_IO6	I/O	3.3V	BANK7 IO ポート
12	B7_IO7	I/O	3.3V	BANK7 IO ポート
13	B7_IO8	I/O	3.3V	BANK7 IO ポート
14	B7_IO9	I/O	3.3V	BANK7 IO ポート
15	B7_IO10	I/O	3.3V	BANK7 IO ポート
16	B7_IO11	I/O	3.3V	BANK7 IO ポート
17	DGND	-	グランド	グランド
18	DGND	-	グランド	グランド
19	B8_IO10	I/O	3.3V	BANK8 IO ポート
20	B8_IO11	I/O	3.3V	BANK8 IO ポート
21	B8_IO12	I/O	3.3V	BANK8 IO ポート
22	B8_IO13	I/O	3.3V	BANK8 IO ポート
23	B8_IO14	I/O	3.3V	BANK8 IO ポート
24	B8_IO15	I/O	3.3V	BANK8 IO ポート
25	B8_IO16	I/O	3.3V	BANK8 IO ポート
26	B8_IO17	I/O	3.3V	BANK8 IO ポート
27	B8_IO18	I/O	3.3V	BANK8 IO ポート
28	B8_IO19	I/O	3.3V	BANK8 IO ポート
29	DGND	-	グランド	グランド
30	DGND	-	グランド	グランド

## 5. 更新履歴

Ver.	更新日付	内容
1.0	2017/12/07	新規作成