
KEIm-25 ヘッダーボード ハードウェアマニュアル

Ver.1.0



株式会社近藤電子工業

はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口又は弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置（航空、宇宙機器、原子力制御機器、生命維持のための医療機器等）には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品又は本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部又は一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各メーカーの商標または登録商標です。

お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

keim-support@kd-group.co.jp

目次

1. 概要	4
1.1. 基本仕様.....	4
1.2. ボードレイアウト.....	5
1.3. 基板外形.....	6
2. ハードウェア構成.....	7
2.1. 電源回路.....	7
2.2. 電源選択回路	7
2.3. VCCIO 選択回路	8
2.4. LED 回路.....	9
2.5. プッシュスイッチ回路.....	9
2.6. ディップスイッチ回路.....	10
2.6.1. B8_IO20_CSEL.....	10
2.6.2. B1_IO21_JTAGEN	10
2.6.3. B4_IO0 or B4_IO1.....	10
2.7. JTAG 回路.....	11
2.8. 汎用ポート回路	11
2.9. ディップスイッチ設定	11
3. コネクタピンアサイン.....	12
3.1. Digilent Pmod™ 互換コネクタ (CN2)	12
3.2. Digilent Pmod™ 互換コネクタ (CN3)	12
3.3. Digilent Pmod™ 互換コネクタ (CN4)	12
3.4. Digilent Pmod™ 互換コネクタ (CN5)	13
3.5. 基板間コネクタ (CN6)	13
3.6. ピンヘッダー (CN9)	16
3.7. ピンヘッダー (CN10)	16
4. 更新履歴	18

1. 概要

本書は KEIm-25 ヘッダーボードのハードウェア仕様について記載します。

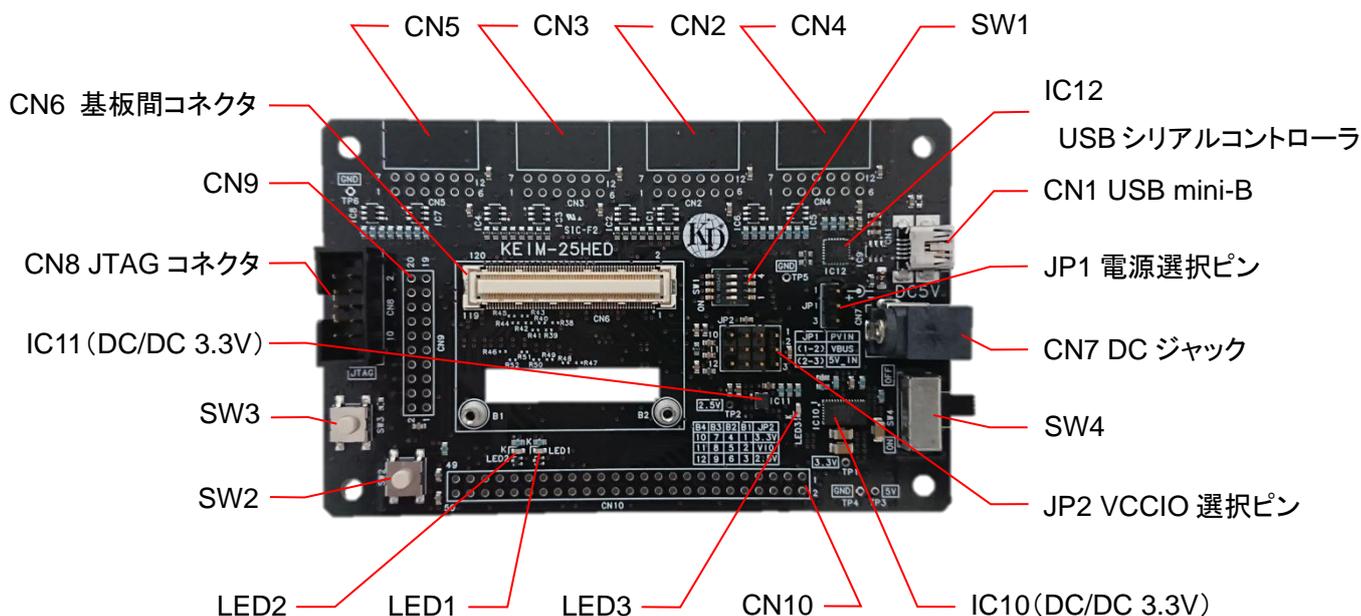
KEIm-25 ヘッダーボードはインテル® MAX® 10 FPGA を搭載した System on Module (以降 SoM)

KEIm-25SoM の開発を行う際に使用するための評価用のボードです。

1.1. 基本仕様

項目		内容
基板間コネクタ		KEIm-25SoM 接続用 120 ピン基板間コネクタ コネクタ型式: FX10A-120S-SV(ヒロセ)
USB シリアル		USB mini-B コネクタ コントローラ型式: CP2102N-A01-GQFN24 (Silicon Labs)
ピンヘッダー		50 ピン ピンヘッダーコネクタ (未実装) コネクタ型式: XG8W-5041 (OMRON) 20 ピン ピンヘッダーコネクタ(未実装) コネクタ型式: XG8W-2041 (OMRON)
Digilent Pmod™ 互換コネクタ		12 ピンコネクタ x4 (未実装) コネクタ型式: 613012243121 (Würth Elektronik)
JTAG コネクタ		USB-Blaster 接続用 10 ピンコネクタ コネクタ型式: XG4C-1031 (OMRON)
スイッチ	プッシュスイッチ	ユーザー用 x1、リセット用 x1
	ディップスイッチ	4 素子 x1
	スライドスイッチ	電源用
LED		ユーザー用 x2、電源用 x1
電源		+5V±5% USB バスパワー又は DC ジャックより供給
使用温度		TBD
外形寸法		110x70mm

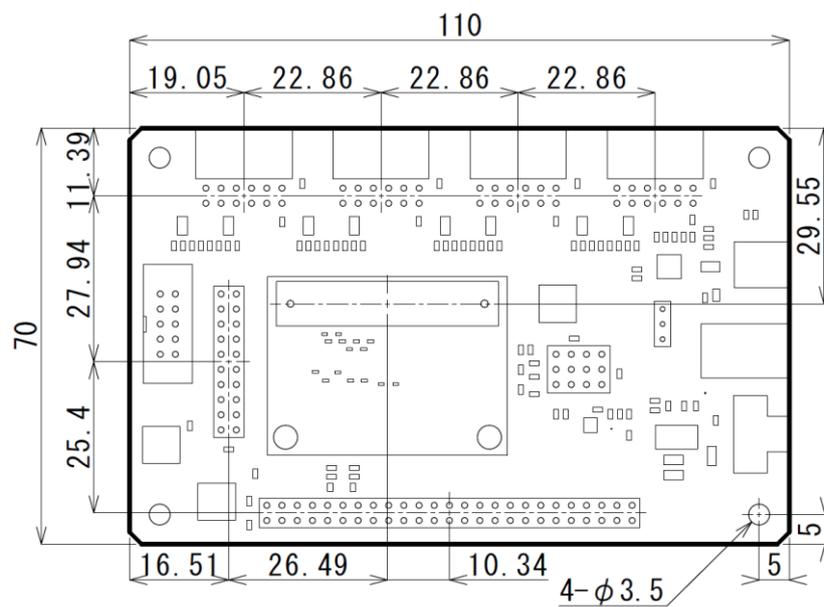
1.2. ボードレイアウト



コンポーネント一覧

リファレンス	名称	説明
CN1	USB mini-B	USB シリアル用 USB mini-B コネクタ
CN2, CN3 CN4, CN5	Digilent Pmod™ 互換コネクタ	12 ピンコネクタ、0.5mm ピッチ コネクタ(未実装)
CN6	基板間コネクタ	120 ピン、0.5mm ピッチ基板間コネクタ
CN7	DC ジャック	5V_IN 電源入力
CN8	JTAG コネクタ	10 ピン、2.54mm ピッチ JTAG コネクタ
CN9,	ピンヘッダー	20 ピン、2.54mm ピッチ ピンヘッダー(未実装)
CN10	ピンヘッダー	40 ピン、2.54mm ピッチ ピンヘッダー(未実装)
IC10	DC/DC(3.3V)	5V→3.3V レギュレータ
IC11	DC/DC(2.5V)	3.3V→2.5V レギュレータ
IC12	USB シリアルコントローラ	USB to UART ブリッジ
SW1	ディップスイッチ	4 素子 ディップスイッチ
SW2	プッシュスイッチ	ユーザー用プッシュスイッチ
SW3	プッシュスイッチ(PORn)	SoM 再コンフィグレーション用プッシュスイッチ
SW4	スライドスイッチ	電源用スライドスイッチ
JP1	電源選択ピン	電源 5V_IN/VBUS 切り替え用ジャンパーピン
JP2	VCCIO 選択ピン	VCCIO 3.3V/2.5V 切り替え用ジャンパーピン
LED1, LED2	汎用 LED	ユーザー用 LED 信号ラインが high 時点灯、low 時消灯
LED3	電源用 LED	電源が ON 時点灯、OFF 時消灯

1.3. 基板外形

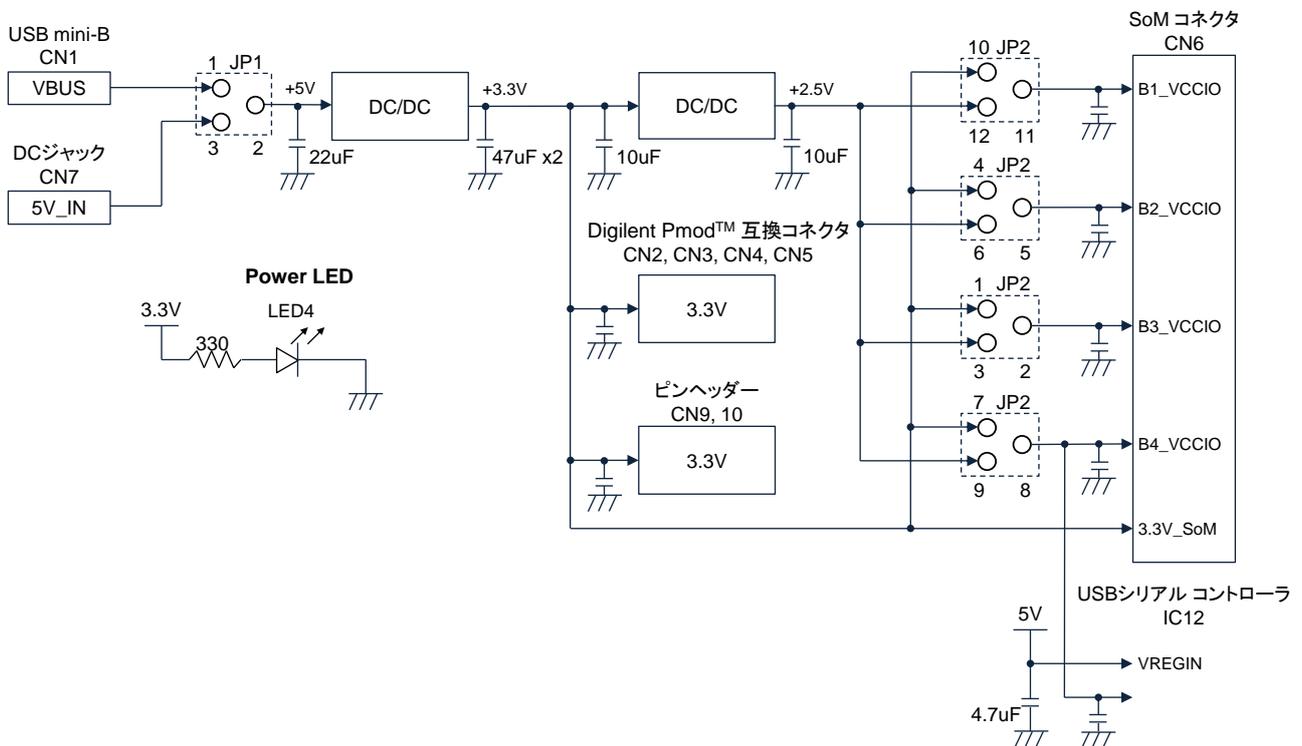


(単位:mm)

2. ハードウェア構成

2.1. 電源回路

本製品の電源回路の構成を下記に示します。



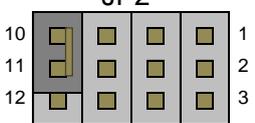
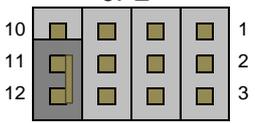
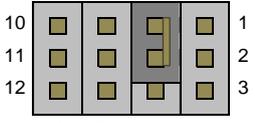
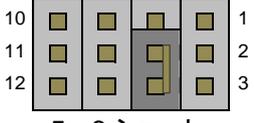
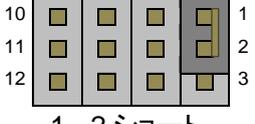
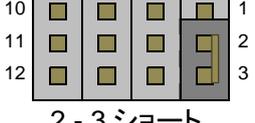
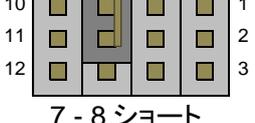
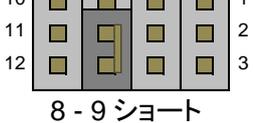
2.2. 電源選択回路

本製品の電源選択回路の構成を下記に示します。

接続先	JP1 ショートピン接続端子	説明
5V	JP1 1 - 2 ショート	VBUS の電源選択
	JP1 2 - 3 ショート	5V_IN の電源選択

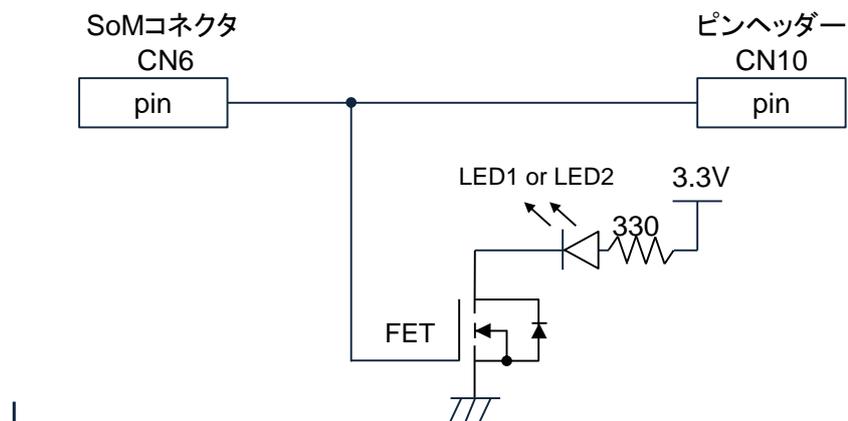
2.3. VCCIO 選択回路

本製品の VCCIO 選択回路の構成を下記に示します。

接続先	JP2 ショートピン接続端子	説明
B1_VCCIO	<p>JP2</p>  <p>10 - 11 ショート</p>	B1_VCCIO 3.3V 選択
	<p>JP2</p>  <p>11 - 12 ショート</p>	B1_VCCIO 2.5V 選択
B2_VCCIO	<p>JP2</p>  <p>4 - 5 ショート</p>	B2_VCCIO 3.3V 選択
	<p>JP2</p>  <p>5 - 6 ショート</p>	B2_VCCIO 2.5V 選択
B3_VCCIO	<p>JP2</p>  <p>1 - 2 ショート</p>	B3_VCCIO 3.3V 選択
	<p>JP2</p>  <p>2 - 3 ショート</p>	B3_VCCIO 2.5V 選択
B4_VCCIO	<p>JP2</p>  <p>7 - 8 ショート</p>	B4_VCCIO 3.3V 選択
	<p>JP2</p>  <p>8 - 9 ショート</p>	B4_VCCIO 2.5V 選択

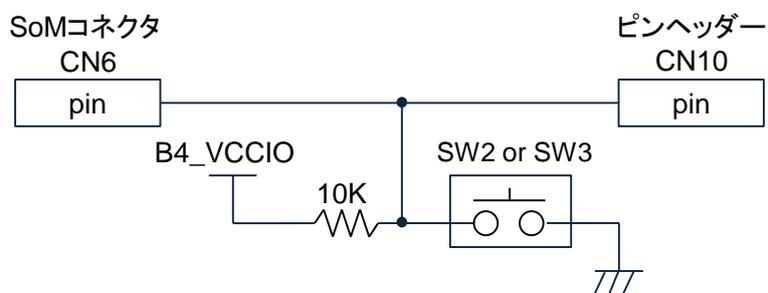
2.4. LED 回路

本製品の LED 回路の構成を下記に示します。



2.5. プッシュスイッチ回路

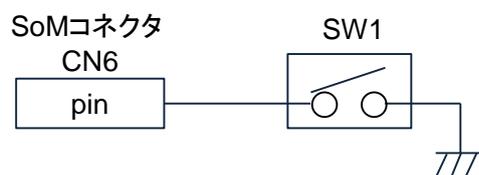
本製品のプッシュスイッチ回路の構成を下記に示します。



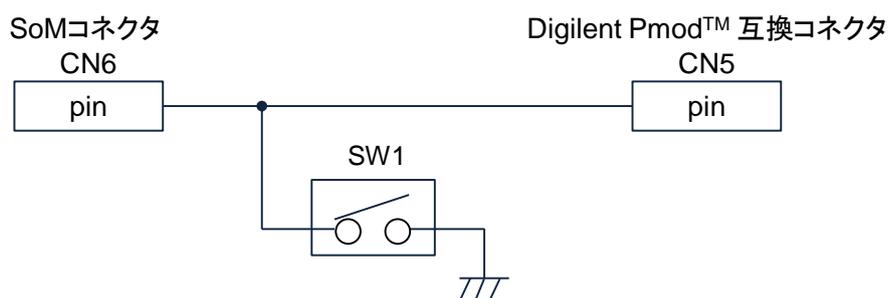
2.6. ディップスイッチ回路

本製品のディップスイッチ回路の構成を下記に示します。

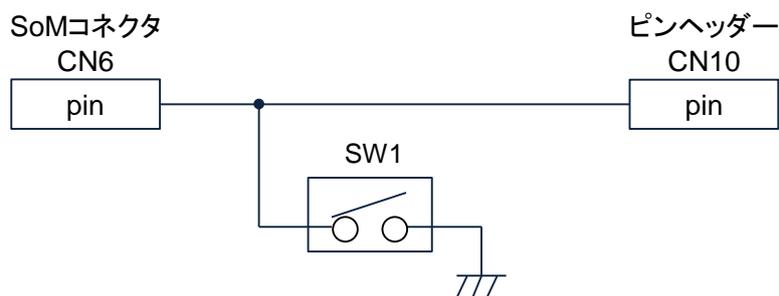
2.6.1. B8_IO20_CSEL



2.6.2. B1_IO21_JTAGEN

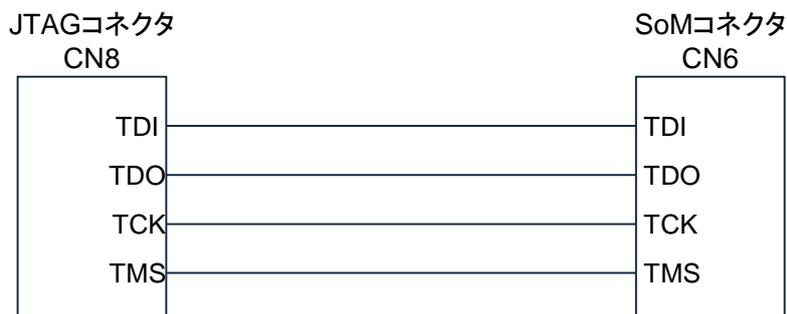


2.6.3. B4_IO0 or B4_IO1



2.7. JTAG 回路

本製品の JTAG 回路の構成を下記に示します。



2.8. 汎用ポート回路

本製品の汎用ポート回路の構成を下記に示します。 ※1



※1 B4_IO8~B4_IO11 は CN9、CN10 両方に繋がっています。

2.9. ディップスイッチ設定

本製品に実装されているディップスイッチの設定内容を下表に示します。

No.	設定項目	説明
SW1-1	B4_IO0	B4_IO0 のディップスイッチ設定 ON: low / OFF: high
SW1-2	B4_IO1	B4_IO1 のディップスイッチ設定 ON: low / OFF: high
SW1-3	B1_IO21_JTAGEN ※2	JTAG ラインとしての設定 ON: ディセーブル / OFF: イネーブル
		B1_IO21 としてのディップスイッチ設定 ON: low / OFF: high
SW1-4	B8_IO20_CSEL ※2	コンフィグレーションイメージ選択としての設定 ON: イメージ 1 を選択 / OFF: イメージ 0 を選択
		B8_IO20 としてのディップスイッチ設定 ON: low / OFF: high

※2 ピン設定により I/O として使用可能です。

3. コネクタピンアサイン

3.1. Digilent Pmod™ 互換コネクタ (CN2)

Pin	端子名	入出力	電圧	説明
1	B1_IO0	I/O	B1_VCCIO	BANK1 IO ポート
2	B1_IO2	I/O	B1_VCCIO	BANK1 IO ポート
3	B1_IO4	I/O	B1_VCCIO	BANK1 IO ポート
4	B1_IO6	I/O	B1_VCCIO	BANK1 IO ポート
5	DGND	-	グラウンド	グラウンド
6	3.3V	O	3.3V	3.3V 電源
7	B1_IO1	I/O	B1_VCCIO	BANK1 IO ポート
8	B1_IO3	I/O	B1_VCCIO	BANK1 IO ポート
9	B1_IO5	I/O	B1_VCCIO	BANK1 IO ポート
10	B1_IO7	I/O	B1_VCCIO	BANK1 IO ポート
11	DGND	-	グラウンド	グラウンド
12	3.3V	O	3.3V	3.3V 電源

3.2. Digilent Pmod™ 互換コネクタ (CN3)

Pin	端子名	入出力	電圧	説明
1	B1_IO8	I/O	B1_VCCIO	BANK1 IO ポート
2	B1_IO10	I/O	B1_VCCIO	BANK1 IO ポート
3	B1_IO12	I/O	B1_VCCIO	BANK1 IO ポート
4	B1_IO14	I/O	B1_VCCIO	BANK1 IO ポート
5	DGND	-	グラウンド	グラウンド
6	3.3V	O	3.3V	3.3V 電源
7	B1_IO9	I/O	B1_VCCIO	BANK1 IO ポート
8	B1_IO11	I/O	B1_VCCIO	BANK1 IO ポート
9	B1_IO13	I/O	B1_VCCIO	BANK1 IO ポート
10	B1_IO15	I/O	B1_VCCIO	BANK1 IO ポート
11	DGND	-	グラウンド	グラウンド
12	3.3V	O	3.3V	3.3V 電源

3.3. Digilent Pmod™ 互換コネクタ (CN4)

Pin	端子名	入出力	電圧	説明
1	B8_IO0	I/O	3.3V	BANK8 IO ポート
2	B8_IO2	I/O	3.3V	BANK8 IO ポート
3	B8_IO4	I/O	3.3V	BANK8 IO ポート
4	B8_IO6	I/O	3.3V	BANK8 IO ポート
5	DGND	-	グラウンド	グラウンド
6	3.3V	O	3.3V	3.3V 電源
7	B8_IO1	I/O	3.3V	BANK8 IO ポート
8	B8_IO3	I/O	3.3V	BANK8 IO ポート
9	B8_IO5	I/O	3.3V	BANK8 IO ポート
10	B8_IO7	I/O	3.3V	BANK8 IO ポート
11	DGND	-	グラウンド	グラウンド
12	3.3V	O	3.3V	3.3V 電源

3.4. Digilent Pmod™ 互換コネクタ (CN5)

Pin	端子名	入出力	電圧	説明
1	B8_IO8	I/O	3.3V	BANK8 IO ポート
2	B1_IO16	I/O	B1_VCCIO	BANK1 IO ポート
3	B1_IO18	I/O	B1_VCCIO	BANK1 IO ポート
4	B1_IO20	I/O	B1_VCCIO	BANK1 IO ポート
5	DGND	-	グラウンド	グラウンド
6	3.3V	O	3.3V	3.3V 電源
7	B8_IO9	I/O	3.3V	BANK8 IO ポート
8	B1_IO17	I/O	B1_VCCIO	BANK1 IO ポート
9	B1_IO19	I/O	B1_VCCIO	BANK1 IO ポート
10	B1_IO21	I/O	B1_VCCIO	BANK1 IO ポート
11	DGND	-	グラウンド	グラウンド
12	3.3V	O	3.3V	3.3V 電源

3.5. 基板間コネクタ (CN6)

Pin	端子名	入出力	電圧	説明
1	3.3V_SOM	O	3.3V	3.3V 電源
2	3.3V_SOM	O	3.3V	3.3V 電源
3	3.3V_SOM	O	3.3V	3.3V 電源
4	3.3V_SOM	O	3.3V	3.3V 電源
5	B8_IO0	I/O	3.3V	BANK8 IO ポート
6	B8_IO1	I/O	3.3V	BANK8 IO ポート
7	B8_IO2	I/O	3.3V	BANK8 IO ポート
8	B8_IO3	I/O	3.3V	BANK8 IO ポート
9	B8_IO4	I/O	3.3V	BANK8 IO ポート
10	B8_IO5	I/O	3.3V	BANK8 IO ポート
11	B8_IO6	I/O	3.3V	BANK8 IO ポート
12	B8_IO7	I/O	3.3V	BANK8 IO ポート
13	B8_IO8	I/O	3.3V	BANK8 IO ポート
14	B8_IO9	I/O	3.3V	BANK8 IO ポート
15	PORn	O	3.3V	パワーオンリセット (nCONFIG)
16	B8_IO20_CSEL	I/O	3.3V	BANK8 IO ポート / Config Select
17	AGND	-	グラウンド	アナロググラウンド
18	DGND	-	グラウンド	グラウンド
19	VREF	O	2.5V	ADC 用 VREF
20	B1_VCCIO	O	IO 電圧	BANK1 VCCIO ※3
21	B1_IO0	I/O	B1_VCCIO	BANK1 IO ポート
22	B1_IO1	I/O	B1_VCCIO	BANK1 IO ポート
23	B1_IO2	I/O	B1_VCCIO	BANK1 IO ポート
24	B1_IO3	I/O	B1_VCCIO	BANK1 IO ポート
25	B1_IO4	I/O	B1_VCCIO	BANK1 IO ポート
26	B1_IO5	I/O	B1_VCCIO	BANK1 IO ポート
27	B1_IO6	I/O	B1_VCCIO	BANK1 IO ポート
28	B1_IO7	I/O	B1_VCCIO	BANK1 IO ポート
29	B1_IO8	I/O	B1_VCCIO	BANK1 IO ポート

Pin	端子名	入出力	電圧	説明
30	B1_IO9	I/O	B1_VCCIO	BANK1 IO ポート
31	B1_IO10	I/O	B1_VCCIO	BANK1 IO ポート
32	B1_IO11	I/O	B1_VCCIO	BANK1 IO ポート
33	B1_IO12	I/O	B1_VCCIO	BANK1 IO ポート
34	B1_IO13	I/O	B1_VCCIO	BANK1 IO ポート
35	B1_IO14	I/O	B1_VCCIO	BANK1 IO ポート
36	B1_IO15	I/O	B1_VCCIO	BANK1 IO ポート
37	B1_IO16	I/O	B1_VCCIO	BANK1 IO ポート
38	B1_IO17	I/O	B1_VCCIO	BANK1 IO ポート
39	B1_IO18	I/O	B1_VCCIO	BANK1 IO ポート
40	B1_IO19	I/O	B1_VCCIO	BANK1 IO ポート
41	B1_IO20	I/O	B1_VCCIO	BANK1 IO ポート
42	B1_IO21_JTAGEN	I/O	B1_VCCIO	BANK1 IO ポート / JTAG Enable
43	TMS	O	B1_VCCIO	JTAG TMS
44	TCK	O	B1_VCCIO	JTAG TCK
45	TDI	O	B1_VCCIO	JTAG TDI
46	TDO	I	B1_VCCIO	JTAG TDO
47	DGND	-	グラウンド	グラウンド
48	DGND	-	グラウンド	グラウンド
49	B2_VCCIO	O	IO 電圧	BANK2 VCCIO ※3
50	B2_VCCIO	O	IO 電圧	BANK2 VCCIO ※3
51	B2_IO0	I/O	B2_VCCIO	BANK2 IO ポート
52	B2_IO1	I/O	B2_VCCIO	BANK2 IO ポート
53	B2_IO2	I/O	B2_VCCIO	BANK2 IO ポート
54	B2_IO3	I/O	B2_VCCIO	BANK2 IO ポート
55	B2_IO4	I/O	B2_VCCIO	BANK2 IO ポート
56	B2_IO5	I/O	B2_VCCIO	BANK2 IO ポート
57	B2_IO6	I/O	B2_VCCIO	BANK2 IO ポート
58	B2_IO7	I/O	B2_VCCIO	BANK2 IO ポート
59	B2_IO8	I/O	B2_VCCIO	BANK2 IO ポート
60	B2_IO9	I/O	B2_VCCIO	BANK2 IO ポート
61	B2_IO10	I/O	B2_VCCIO	BANK2 IO ポート
62	B2_IO11	I/O	B2_VCCIO	BANK2 IO ポート
63	B2_IO12	I/O	B2_VCCIO	BANK2 IO ポート
64	B2_IO13	I/O	B2_VCCIO	BANK2 IO ポート
65	DGND	-	グラウンド	グラウンド
66	DGND	-	グラウンド	グラウンド
67	B3_VCCIO	O	IO 電圧	BANK3 VCCIO ※3
68	B3_VCCIO	O	IO 電圧	BANK3 VCCIO ※3
69	B3_LVDS_TXRX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
70	B3_LVDS_RX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
71	B3_LVDS_TXRX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
72	B3_LVDS_RX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
73	B3_LVDS_TXRX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
74	B3_LVDS_RX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
75	B3_LVDS_TXRX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
76	B3_LVDS_RX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N

Pin	端子名	入出力	電圧	説明
77	B3_LVDS_TXRX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
78	B3_LVDS_RX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
79	B3_LVDS_TXRX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
80	B3_LVDS_RX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
81	B3_LVDS_TXRX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
82	B3_LVDS_RX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
83	B3_LVDS_TXRX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
84	B3_LVDS_RX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
85	DGND	-	グラウンド	グラウンド
86	DGND	-	グラウンド	グラウンド
87	B3_LVDS_TXRX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
88	B3_LVDS_RX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
89	B3_LVDS_TXRX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
90	B3_LVDS_RX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
91	B3_LVDS_TXRX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
92	B3_LVDS_RX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
93	B3_LVDS_TXRX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
94	B3_LVDS_RX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
95	B3_LVDS_TXRX_P6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
96	B3_LVDS_TXRX_P8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
97	B3_LVDS_TXRX_N6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
98	B3_LVDS_TXRX_N8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
99	B3_LVDS_TXRX_P7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
100	B3_IO0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
101	B3_LVDS_TXRX_N7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
102	B3_IO1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
103	DGND	-	グラウンド	グラウンド
104	DGND	-	グラウンド	グラウンド
105	B4_VCCIO	O	IO 電圧	BANK4 VCCIO ※3
106	B4_VCCIO	O	IO 電圧	BANK4 VCCIO ※3
107	B4_IO0	I/O	B4VCCIO	BANK4 IO ポート
108	B4_IO1	I/O	B4VCCIO	BANK4 IO ポート
109	B4_IO2	I/O	B4VCCIO	BANK4 IO ポート
110	B4_IO3	I/O	B4VCCIO	BANK4 IO ポート
111	B4_IO4	I/O	B4VCCIO	BANK4 IO ポート
112	B4_IO5	I/O	B4VCCIO	BANK4 IO ポート
113	B4_IO6	I/O	B4VCCIO	BANK4 IO ポート
114	B4_IO7	I/O	B4VCCIO	BANK4 IO ポート
115	B4_IO8	I/O	B4VCCIO	BANK4 IO ポート
116	B4_IO9	I/O	B4VCCIO	BANK4 IO ポート
117	B4_IO10	I/O	B4VCCIO	BANK4 IO ポート
118	B4_IO11	I/O	B4VCCIO	BANK4 IO ポート
119	DGND	-	グラウンド	グラウンド
120	DGND	-	グラウンド	グラウンド

※3 IO 電圧に印加する電圧は Intel MAX 10 FPGA Device Datasheet を確認してください。

3.6. ピンヘッダー (CN9)

Pin	端子名	入出力	電圧	説明
1	3.3V	O	3.3V	3.3V 電源
2	3.3V	O	3.3V	3.3V 電源
3	B2_IO0	I/O	B2_VCCIO	BANK2 IO ポート
4	B2_IO1	I/O	B2_VCCIO	BANK2 IO ポート
5	B2_IO2	I/O	B2_VCCIO	BANK2 IO ポート
6	B2_IO3	I/O	B2_VCCIO	BANK2 IO ポート
7	B2_IO4	I/O	B2_VCCIO	BANK2 IO ポート
8	B2_IO5	I/O	B2_VCCIO	BANK2 IO ポート
9	B2_IO6	I/O	B2_VCCIO	BANK2 IO ポート
10	B2_IO7	I/O	B2_VCCIO	BANK2 IO ポート
11	B2_IO8	I/O	B2_VCCIO	BANK2 IO ポート
12	B2_IO9	I/O	B2_VCCIO	BANK2 IO ポート
13	B2_IO10	I/O	B2_VCCIO	BANK2 IO ポート
14	B2_IO11	I/O	B2_VCCIO	BANK2 IO ポート
15	B2_IO12	I/O	B2_VCCIO	BANK2 IO ポート
16	B2_IO13	I/O	B2_VCCIO	BANK2 IO ポート
17	B4_IO8	I/O	B4VCCIO	BANK4 IO ポート
18	B4_IO9	I/O	B4VCCIO	BANK4 IO ポート
19	B4_IO10	I/O	B4VCCIO	BANK4 IO ポート
20	B4_IO11	I/O	B4VCCIO	BANK4 IO ポート

3.7. ピンヘッダー (CN10)

Pin	端子名	入出力	電圧	説明
1	B3_LVDS_TXRX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
2	B3_LVDS_RX_P0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
3	B3_LVDS_TXRX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
4	B3_LVDS_RX_N0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
5	B3_LVDS_TXRX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
6	B3_LVDS_RX_P1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
7	B3_LVDS_TXRX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
8	B3_LVDS_RX_N1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
9	B3_LVDS_TXRX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
10	B3_LVDS_RX_P2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
11	B3_LVDS_TXRX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
12	B3_LVDS_RX_N2	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
13	B3_LVDS_TXRX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
14	B3_LVDS_RX_P3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
15	B3_LVDS_TXRX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
16	B3_LVDS_RX_N3	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
17	B3_LVDS_TXRX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
18	B3_LVDS_RX_P4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
19	B3_LVDS_TXRX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
20	B3_LVDS_RX_N4	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
21	B3_LVDS_TXRX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P

Pin	端子名	入出力	電圧	説明
22	B3_LVDS_RX_P5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
23	B3_LVDS_TXRX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
24	B3_LVDS_RX_N5	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
25	B3_LVDS_TXRX_P6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
26	B3_LVDS_TXRX_P8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
27	B3_LVDS_TXRX_N6	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
28	B3_LVDS_TXRX_N8	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
29	B3_LVDS_TXRX_P7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_P
30	B3_IO0	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_P
31	B3_LVDS_TXRX_N7	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_TXRX_N
32	B3_IO1	I/O	B3_VCCIO	BANK3 IO ポート / LVDS_RX_N
33	DGND	-	グランド	グランド
34	DGND	-	グランド	グランド
35	B4_IO0	I/O	B4VCCIO	BANK4 IO ポート
36	B4_IO1	I/O	B4VCCIO	BANK4 IO ポート
37	B4_IO2	I/O	B4VCCIO	BANK4 IO ポート
38	B4_IO3	I/O	B4VCCIO	BANK4 IO ポート
39	B4_IO4	I/O	B4VCCIO	BANK4 IO ポート
40	B4_IO5	I/O	B4VCCIO	BANK4 IO ポート
41	B4_IO6	I/O	B4VCCIO	BANK4 IO ポート
42	B4_IO7	I/O	B4VCCIO	BANK4 IO ポート
43	B4_IO8	I/O	B4VCCIO	BANK4 IO ポート
44	B4_IO9	I/O	B4VCCIO	BANK4 IO ポート
45	B4_IO10	I/O	B4VCCIO	BANK4 IO ポート
46	B4_IO11	I/O	B4VCCIO	BANK4 IO ポート
47	DGND	-	グランド	グランド
48	DGND	-	グランド	グランド
49	3.3V	O	3.3V	3.3V 電源
50	3.3V	O	3.3V	3.3V 電源

4. 更新履歴

Ver.	更新日付	内容
1.0	2017/12/07	新規作成