

---

# KEIm-08SoM

## リファレンスデザインマニュアル

### SDK 対応版

Ver.1.0.0



株式会社近藤電子工業

---

## はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



### 取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口又は弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置（航空、宇宙機器、原子力制御機器、生命維持のための医療機器等）には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品又は本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部又は一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各メーカーの商標または登録商標です。

## お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

[keim-support@kd-group.co.jp](mailto:keim-support@kd-group.co.jp)

## 目次

1. 概要.....	6
1.1. 基本仕様.....	6
1.2. ポート割り当て.....	7
2. FPGA 構成.....	9
2.1. FPGA 内部ブロック図.....	9
2.2. メモリマップ.....	10
2.3. 割り込み.....	10
2.4. ピンマルチプレクサ.....	11
2.4.1. ブロック図.....	11
2.4.2. レジスタ説明.....	11
2.4.2.1. レジスタマップ.....	11
2.4.2.2. ポート x マルチプレクスレジスタ (Px_MUX).....	11
2.4.2.3. ポート A マルチプレクスレジスタ (PA_MUX).....	12
2.4.2.4. ポート B マルチプレクスレジスタ (PB_MUX).....	12
2.4.2.5. ポート C マルチプレクスレジスタ (PC_MUX).....	13
2.4.2.6. ポート D マルチプレクスレジスタ (PD_MUX).....	13
2.4.2.7. ポート E マルチプレクスレジスタ (PE_MUX).....	13
2.5. PIO.....	14
2.5.1. 特徴.....	14
2.5.2. ブロック図.....	14
2.5.3. レジスタ説明.....	14
2.5.3.1. レジスタマップ.....	14
2.5.3.2. PIO_x データレジスタ (PIO_x_DATA).....	15
2.5.3.3. PIO_x ディレクションレジスタ (PIO_x_DIR).....	15
2.6. SPI.....	16
2.6.1. 特徴.....	16
2.6.2. ブロック図.....	16
2.6.3. レジスタ説明.....	16
2.6.3.1. レジスタマップ.....	16
2.6.3.2. コントロールレジスタ (SPI_CTR).....	17
2.6.3.3. ステータスレジスタ (SPI_STR).....	17
2.6.3.4. データレジスタ (SPI_DTR).....	17
2.6.3.5. ビットレートレジスタ (SPI_BR).....	17
2.6.4. SPI 入出カタイミング.....	18
2.7. PWM.....	19
2.7.1. 特徴.....	19
2.7.2. ブロック図.....	19

2.7.3. レジスタ説明.....	19
2.7.3.1. レジスタマップ .....	19
2.7.3.2. コントロールレジスタ (PWM_CTR) .....	19
2.7.3.3. デバイザレジスタ (PWM_DIV) .....	19
2.7.3.4. 周期レジスタ (PWM_PER) .....	20
2.7.3.5. デューティレジスタ (PWM_DUTY) .....	20
2.7.4. PWM 出力タイミング .....	20
2.8. I2C .....	21
2.8.1. 特徴 .....	21
2.8.2. ブロック図.....	21
2.8.3. レジスタ説明.....	21
2.8.3.1. レジスタマップ .....	21
2.8.3.2. クロックプリスケアラレジスタ (I2C_PRERL, I2C_PRERH) .....	22
2.8.3.3. コントロールレジスタ (I2C_CTR) .....	22
2.8.3.4. 送信レジスタ (I2C_TXR) .....	22
2.8.3.5. 受信レジスタ (I2C_RXR) .....	22
2.8.3.6. コマンドレジスタ (I2C_CR) .....	23
2.8.3.7. ステータスレジスタ (I2C_SR) .....	23
2.8.4. IP ライセンス .....	24
2.9. UART .....	25
2.9.1. 特徴 .....	25
2.9.2. レジスタ説明.....	25
2.9.2.1. レジスタマップ .....	25
2.9.2.2. 受信データレジスタ (UART_RXR) .....	25
2.9.2.3. 送信データレジスタ (UART_TXR) .....	26
2.9.2.4. ステータスレジスタ (UART_STR) .....	26
2.9.2.5. コントロールレジスタ (UART_CTR) .....	28
2.9.2.6. デバイザレジスタ (UART_DIV) .....	28
2.10. Timer.....	29
2.10.1. 特徴 .....	29
2.10.2. レジスタ説明.....	29
2.10.2.1. レジスタマップ .....	29
2.10.2.2. ステータスレジスタ (TIMER_STR) .....	29
2.10.2.3. コントロールレジスタ (TIMER_CTR) .....	30
2.10.2.4. タイマ周期レジスタ下位ビット (TIMER_PERL) .....	30
2.10.2.5. タイマ周期レジスタ上位ビット (TIMER_PERH) .....	31
2.10.2.6. スナップショットレジスタ下位ビット (TIMER_SNPL) .....	31
2.10.2.7. スナップショットレジスタ上位ビット (TIMER_SNP) .....	31

2.11. WDT .....	32
2.11.1. 特徴 .....	32
2.11.2. レジスタ説明 .....	32
2.11.2.1. レジスタマップ .....	32
2.11.2.2. ステータスレジスタ (WDT_STR) .....	32
2.11.2.3. コントロールレジスタ (WDT_CTR) .....	33
2.11.2.4. WDT 周期レジスタ下位ビット (WDT_PERL) .....	33
2.11.2.5. WDT 周期レジスタ上位ビット (WDT_PERH) .....	33
2.12. EINT(外部割り込み) .....	34
2.12.1. 特徴 .....	34
2.12.2. レジスタ説明 .....	34
2.12.2.1. レジスタマップ .....	34
2.12.2.2. 割り込みイネーブルレジスタ (EINT_ENA) .....	34
2.12.2.3. 割り込みステータスレジスタ (EINT_STA) .....	34
2.12.2.4. 割り込みモードレジスタ (EINT_MODE) .....	35
2.12.2.5. 割り込み極性レジスタ (EINT_POL) .....	35
3. 更新履歴 .....	36

## 1. 概要

本書は KEIm-08SoM の FPGA に実装しているリファレンスデザインの詳細について記載します。

### 1.1. 基本仕様

項目	内容	
CPU コア	Nios <sup>®</sup> II/f 80MHz 命令キャッシュ 4kByte、データキャッシュ 2kByte	
内蔵メモリ	RAM	16kByte
	Flash	32kByte
外部メモリ	SDRAM	8Mbyte
	Flash	4MByte
PIO	最大 66 本(但し、他のペリフェラルとマルチプレクス)	
外部割り込み	8 本、レベル/エッジ選択機能、 極性選択機能、割り込みマスク機能	
UART	2 チャンネル、ボージェネレータ内蔵 通信フォーマット(固定): データ 8bit、パリティ無、ストップ 1bit	
SPI	3 チャンネル、3 線式、 データ 8bit、ディバイダ内蔵、マスタ専用	
I2C	1 チャンネル、マスタ専用	
PWM	2 チャンネル 16bit プリスケアラ、16bit 周期設定、16bit デューティ	
タイマ	3 チャンネル、32 ビット、スタート、ストップ機能	
ウォッチドックタイマ	32 ビット、スタート、ストップ機能、タイムアウト時リセット動作	

## 1.2. ポート割り当て

本デザインのいくつかのポートは汎用ポート(PIO)である機能 0 と特定機能である機能 1 をマルチプレクサにより切り替える構成となっています。本デザインのポート割り当てを下記に示します。

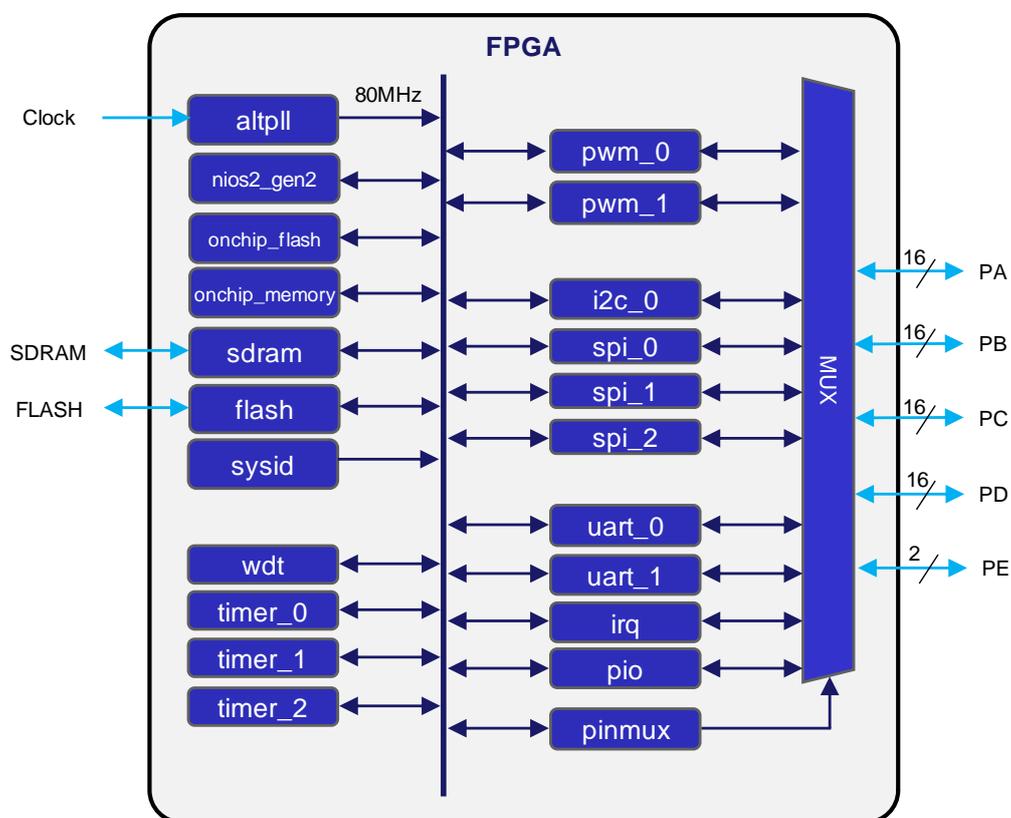
端子名	機能 0		機能 1		説明
	信号名	I/O	信号名	I/O	
PA0	PIO_A0	I/O	UART0_TXD	O	PIO ポート A0 / UART0 送信データ
PA1	PIO_A1	I/O	UART0_RXD	I	PIO ポート A1 / UART0 受信データ
PA2	PIO_A2	I/O	UART0_RTSn	O	PIO ポート A2 / UART0 送信要求
PA3	PIO_A3	I/O	UART0_CTSn	I	PIO ポート A3 / UART0 送信可能
PA4	PIO_A4	I/O	UART1_TXD	O	PIO ポート A4 / UART1 送信データ
PA	PIO_A5	I/O	UART1_RXD	I	PIO ポート A5 / UART1 受信データ
PA6	PIO_A6	I/O	UART1_RTSn	O	PIO ポート A6 / UART1 送信要求
PA7	PIO_A7	I/O	UART1_CTSn	I	PIO ポート A7 / UART1 送信可能
PA8	PIO_A8	I/O	SPI0_SCLK	O	PIO ポート A8 / SPI0 クロック
PA9	PIO_A9	I/O	-	I	PIO ポート A9
PA10	PIO_A10	I/O	SPI0_MOSI	O	PIO ポート A10 / SPI0 送信データ
PA11	PIO_A11	I/O	SPI0_MISO	I	PIO ポート A11 / SPI0 受信データ
PA12	PIO_A12	I/O	SPI1_SCLK	O	PIO ポート A12 / SPI1 クロック
PA13	PIO_A13	I/O	-	I	PIO ポート A13
PA14	PIO_A14	I/O	SPI1_MOSI	O	PIO ポート A14 / SPI1 送信データ
PA15	PIO_A15	I/O	SPI1_MISO	I	PIO ポート A15 / SPI1 受信データ
PB0	PIO_B0	I/O	SPI2_SCLK	O	PIO ポート B0 / SPI2 クロック
PB1	PIO_B1	I/O	-	I	PIO ポート B1
PB2	PIO_B2	I/O	SPI2_MOSI	O	PIO ポート B2 / SPI2 送信データ
PB3	PIO_B3	I/O	SPI2_MISO	I	PIO ポート B3 / SPI2 受信データ
PB4	PIO_B4	I/O	-	I	PIO ポート B4
PB5	PIO_B5	I/O	-	I	PIO ポート B5
PB6	PIO_B6	I/O	-	I	PIO ポート B6
PB7	PIO_B7	I/O	-	I	PIO ポート B7
PB8	PIO_B8	I/O	PWM0	O	PIO ポート B8 / PWM0 出力
PB9	PIO_B9	I/O	PWM1	O	PIO ポート B9 / PWM1 出力
PB10	PIO_B10	I/O	-	I	PIO ポート B10
PB11	PIO_B11	I/O	-	I	PIO ポート B11
PB12	PIO_B12	I/O	-	I	PIO ポート B12
PB13	PIO_B13	I/O	-	I	PIO ポート B13
PB14	PIO_B14	I/O	-	I	PIO ポート B14
PB15	PIO_B15	I/O	-	I	PIO ポート B15
PC0	PIO_C0	I/O	-	I	PIO ポート C0
PC1	PIO_C1	I/O	-	I	PIO ポート C1
PC2	PIO_C2	I/O	-	I	PIO ポート C2
PC3	PIO_C3	I/O	-	I	PIO ポート C3
PC4	PIO_C4	I/O	-	I	PIO ポート C4
PC5	PIO_C5	I/O	-	I	PIO ポート C5
PC6	PIO_C6	I/O	-	I	PIO ポート C6
PC7	PIO_C7	I/O	-	I	PIO ポート C7
PC8	PIO_C8	I/O	-	I	PIO ポート C8

端子名	機能 0		機能 1		説明
	信号名	I/O	信号名	I/O	
PC9	PIO_C9	I/O	-	I	PIO ポート C9
PC10	PIO_C10	I/O	-	I	PIO ポート C10
PC11	PIO_C11	I/O	-	I	PIO ポート C11
PC12	PIO_C12	I/O	-	I	PIO ポート C12
PC13	PIO_C13	I/O	-	I	PIO ポート C13
PC14	PIO_C14	I/O	-	I	PIO ポート C14
PC15	PIO_C15	I/O	-	I	PIO ポート C15
PE0	PIO_E0	I/O	I2C_SCL	O	PIO ポート E0 / I2C クロック
PE1	PIO_E1	I/O	I2C_SDA	O	PIO ポート E1 / I2C データ
PD0	PIO_D0	I/O	INT0	I	PIO ポート D0 / 外部割り込み 0
PD1	PIO_D1	I/O	INT1	I	PIO ポート D1 / 外部割り込み 1
PD2	PIO_D2	I/O	INT2	I	PIO ポート D2 / 外部割り込み 2
PD3	PIO_D3	I/O	INT3	I	PIO ポート D3 / 外部割り込み 3
PD4	PIO_D4	I/O	INT4	I	PIO ポート D4 / 外部割り込み 4
PD5	PIO_D5	I/O	INT5	I	PIO ポート D5 / 外部割り込み 5
PD6	PIO_D6	I/O	INT6	I	PIO ポート D6 / 外部割り込み 6
PD7	PIO_D7	I/O	INT7	I	PIO ポート D7 / 外部割り込み 7
PD8	PIO_D8	I/O	-	-	PIO ポート D8
PD9	PIO_D9	I/O	-	-	PIO ポート D9
PD10	PIO_D10	I/O	-	-	PIO ポート D10
PD11	PIO_D11	I/O	-	-	PIO ポート D11
PD12	PIO_D12	I/O	-	-	PIO ポート D12
PD13	PIO_D13	I/O	-	-	PIO ポート D13
PD14	PIO_D14	I/O	-	-	PIO ポート D14
PD15	PIO_D15	I/O	-	-	PIO ポート D15

## 2. FPGA 構成

### 2.1. FPGA 内部ブロック図

本デザインの内部ブロック図を下記に示します。



## 2.2. メモリマップ

本デザインのメモリマップを下記に示します。各ペリフェラルのベースアドレスは NiosII SBT で BSP プロジェクトを作成した際に生成される”system.h”に記述されている記号定数を使用してください。

アドレス	ベースアドレス	説明
0x0000_0000 - 0x0000_7fff	ONCHIP_FLASH_DATA_BASE	内蔵 Flash データ領域
0x0010_0000 - 0x0010_3fff	ONCHIP_MEMORY_BASE	内蔵 SRAM
0x0020_0000 - 0x0020_001f	PINMUX_BASE	ピンマルチプレクサ
0x0020_0040 - 0x0020_0047	SYSID_BASE	システム ID
0x0020_0080 - 0x0020_0087	ONCHIP_FLASH_CSR_BASE	内蔵 Flash コンフィグ領域
0x0020_1000 - 0x0020_101f	UART_0_BASE	UART_0 レジスタ
0x0020_1020 - 0x0020_103f	UART_1_BASE	UART_1 レジスタ
0x0020_1100 - 0x0020_111f	I2C_0_BASE	I2C_0 レジスタ
0x0020_1200 - 0x0020_120f	SPI_0_BASE	SPI_0 レジスタ
0x0020_1220 - 0x0020_122f	SPI_1_BASE	SPI_1 レジスタ
0x0020_1240 - 0x0020_124f	SPI_2_BASE	SPI_2 レジスタ
0x0020_1300 - 0x0020_130f	PWM_0_BASE	PWM_0 レジスタ
0x0020_1320 - 0x0020_132f	PWM_1_BASE	PWM_1 レジスタ
0x0020_1400 - 0x0010_143f	PIO_BASE	PIO レジスタ
0x0020_1500 - 0x0010_151f	WDT_BASE	ウォッチドッグレジスタ
0x0020_1600 - 0x0010_161f	TIMER_0_BASE	タイマ 0 レジスタ
0x0020_1640 - 0x0010_165f	TIMER_1_BASE	タイマ 1 レジスタ
0x0020_1680 - 0x0010_16bf	TIMER_2_BASE	タイマ 2 レジスタ
0x0020_1700 - 0x0010_170f	EINT_BASE	外部割り込みレジスタ
0x0100_0000 - 0x017f_ffff	SDRAM_BASE	SDRAM
0x0200_0000 - 0x027f_ffff	FLASH_BASE	Flash

## 2.3. 割り込み

本デザインの割り込み対応について下記に示します。各ペリフェラルの割り込み番号は Nios II SBT で BSP プロジェクトを作成した際に生成される”system.h”に記述されている記号定数を使用してください。

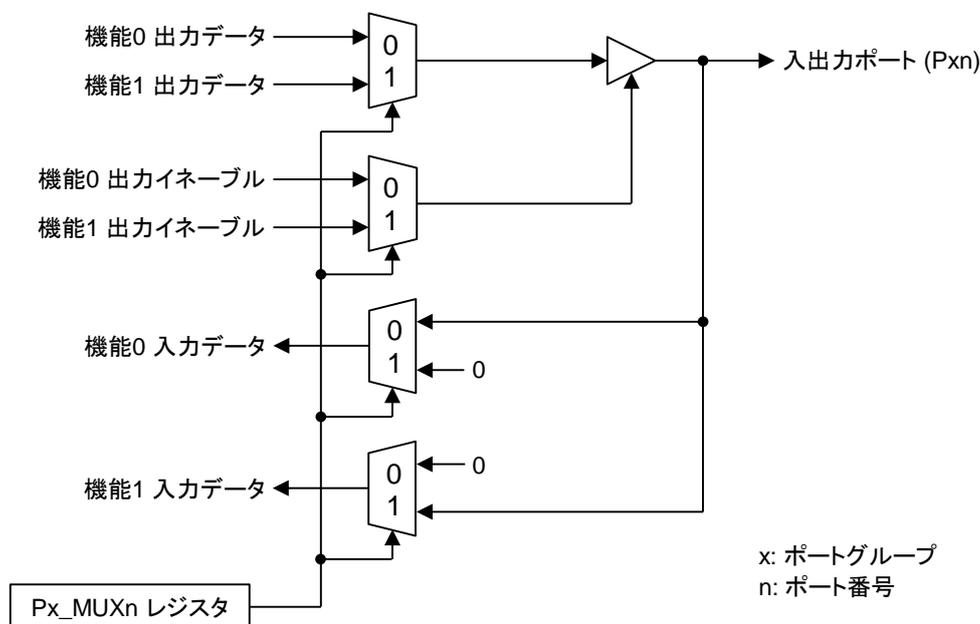
IRQ 番号	ファンクション	割り込み要因
0	WDT	ウォッチドッグタイマアウト
1	INT0	INT0 端子の状態
2	INT1	INT1 端子の状態
3	INT2	INT2 端子の状態
4	INT3	INT3 端子の状態
5	INT4	INT4 端子の状態
6	INT5	INT5 端子の状態
7	INT6	INT6 端子の状態
8	INT7	INT7 端子の状態
9	Timer_0	タイムアウト
10	Timer_1	タイムアウト
11	Timer_2	タイムアウト
12	SPI_0	送信バッファエンプティ
13	SPI_1	送信バッファエンプティ
14	SPI_2	送信バッファエンプティ
16	UART_0	各通信エラー、送信エンプティ、送信レディ、受信レディ、CTS、RTS
17	UART_1	各通信エラー、送信エンプティ、送信レディ、受信レディ、CTS、RTS
18	I2C_0	ACK、送信完了、アービトレーションロスト

## 2.4. ピンマルチプレクサ

本デザインの各ポートは、PIO と各ポートに関連付けられた機能との兼用になっています。ピンマルチプレクサはポート機能の切り替えを行います。

### 2.4.1. ブロック図

各ピンマルチプレクサのブロック図を下記に示します。



### 2.4.2. レジスタ説明

#### 2.4.2.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	PA_MUX	R/W	ポート A マルチプレクスレジスタ
0x04	PB_MUX	R/W	ポート B マルチプレクスレジスタ
0x08	PC_MUX	R/W	ポート C マルチプレクスレジスタ
0x0C	PD_MUX	R/W	ポート D マルチプレクスレジスタ
0x10	PE_MUX	R/W	ポート E マルチプレクスレジスタ

#### 2.4.2.2. ポート x マルチプレクスレジスタ (Px\_MUX)

名称	説明
Pxn_DATA	ポート x の n ビットのポート機能切替。0: 機能 0 / 1: 機能 1

## 2.4.2.3. ポート A マルチプレクスレジスタ (PA\_MUX)

ビット	名称	R/W	初期値	端子名称	機能 0 MUX=0	機能 1 MUX=1
32-16	-	R	0	-	予約	予約
15	PA_MUX15	R/W	0	PA15	PIO_A15	SPI1_MISO
14	PA_MUX14	R/W	0	PA14	PIO_A14	SPI1_MOSI
13	PA_MUX13	R/W	0	PA13	PIO_A13	予約
12	PA_MUX12	R/W	0	PA12	PIO_A12	SPI1_SCLK
11	PA_MUX11	R/W	0	PA11	PIO_A11	SPI0_MISO
10	PA_MUX10	R/W	0	PA10	PIO_A10	SPI0_MOSI
9	PA_MUX9	R/W	0	PA9	PIO_A9	予約
8	PA_MUX8	R/W	0	PA8	PIO_A8	SPI0_SCLK
7	PA_MUX7	R/W	0	PA7	PIO_A7	UART1_CTSn
6	PA_MUX6	R/W	0	PA6	PIO_A6	UART1_RTSn
5	PA_MUX5	R/W	0	PA5	PIO_A5	UART1_RXD
4	PA_MUX4	R/W	0	PA4	PIO_A4	UART1_TXD
3	PA_MUX3	R/W	0	PA3	PIO_A3	UART0_CTSn
2	PA_MUX2	R/W	0	PA2	PIO_A2	UART0_RTSn
1	PA_MUX1	R/W	0	PA1	PIO_A1	UART0_RXD
0	PA_MUX0	R/W	0	PA0	PIO_A0	UART0_TXD

## 2.4.2.4. ポート B マルチプレクスレジスタ (PB\_MUX)

ビット	名称	R/W	初期値	端子名称	機能 0 MUX=0	機能 1 MUX=1
32-16	-	R	0	-	予約	予約
15	PB_MUX15	R/W	0	PB15	PIO_B15	予約
14	PB_MUX14	R/W	0	PB14	PIO_B14	予約
13	PB_MUX13	R/W	0	PB13	PIO_B13	予約
12	PB_MUX12	R/W	0	PB12	PIO_B12	予約
11	PB_MUX11	R/W	0	PB11	PIO_B11	予約
10	PB_MUX10	R/W	0	PB10	PIO_B10	予約
9	PB_MUX9	R/W	0	PB9	PIO_B9	PWM1
8	PB_MUX8	R/W	0	PB8	PIO_B8	PWM0
7	PB_MUX7	R/W	0	PB7	PIO_B7	予約
6	PB_MUX6	R/W	0	PB6	PIO_B6	予約
5	PB_MUX5	R/W	0	PB5	PIO_B5	予約
4	PB_MUX4	R/W	0	PB4	PIO_B4	予約
3	PB_MUX3	R/W	0	PB3	PIO_B3	SPI2_MISO
2	PB_MUX2	R/W	0	PB2	PIO_B2	SPI2_MOSI
1	PB_MUX1	R/W	0	PB1	PIO_B1	予約
0	PB_MUX0	R/W	0	PB0	PIO_B0	SPI2_SCLK

## 2.4.2.5. ポート C マルチプレクスレジスタ (PC\_MUX)

ビット	名称	R/W	初期値	端子名称	機能 0 MUX=0	機能 1 MUX=1
32-16	-	R	0	-	予約	予約
15	PC_MUX15	R/W	0	PC15	PIO_C15	予約
14	PC_MUX14	R/W	0	PC14	PIO_C14	予約
13	PC_MUX13	R/W	0	PC13	PIO_C13	予約
12	PC_MUX12	R/W	0	PC12	PIO_C12	予約
11	PC_MUX11	R/W	0	PC11	PIO_C11	予約
10	PC_MUX10	R/W	0	PC10	PIO_C10	予約
9	PC_MUX9	R/W	0	PC9	PIO_C9	予約
8	PC_MUX8	R/W	0	PC8	PIO_C8	予約
7	PC_MUX7	R/W	0	PC7	PIO_C7	予約
6	PC_MUX6	R/W	0	PC6	PIO_C6	予約
5	PC_MUX5	R/W	0	PC5	PIO_C5	予約
4	PC_MUX4	R/W	0	PC4	PIO_C4	予約
3	PC_MUX3	R/W	0	PC3	PIO_C3	予約
2	PC_MUX2	R/W	0	PC2	PIO_C2	予約
1	PC_MUX1	R/W	0	PC1	PIO_C1	予約
0	PC_MUX0	R/W	0	PC0	PIO_C0	予約

## 2.4.2.6. ポート D マルチプレクスレジスタ (PD\_MUX)

ビット	名称	R/W	初期値	端子名称	機能 0 MUX=0	機能 1 MUX=1
32-16	-	R	0	-	予約	予約
15	PD_MUX15	R/W	0	PD15	PIO_D15	予約
14	PD_MUX14	R/W	0	PD14	PIO_D14	予約
13	PD_MUX13	R/W	0	PD13	PIO_D13	予約
12	PD_MUX12	R/W	0	PD12	PIO_D12	予約
11	PD_MUX11	R/W	0	PD11	PIO_D11	予約
10	PD_MUX10	R/W	0	PD10	PIO_D10	予約
9	PD_MUX9	R/W	0	PD9	PIO_D9	予約
8	PD_MUX8	R/W	0	PD8	PIO_D8	予約
7	PD_MUX7	R/W	0	PD7	PIO_D7	INT 7
6	PD_MUX6	R/W	0	PD6	PIO_D6	INT 6
5	PD_MUX5	R/W	0	PD5	PIO_D5	INT5
4	PD_MUX4	R/W	0	PD4	PIO_D4	INT4
3	PD_MUX3	R/W	0	PD3	PIO_D3	INT3
2	PD_MUX2	R/W	0	PD2	PIO_D2	INT2
1	PD_MUX1	R/W	0	PD1	PIO_D1	INT1
0	PD_MUX0	R/W	0	PD0	PIO_D0	INT0

## 2.4.2.7. ポート E マルチプレクスレジスタ (PE\_MUX)

ビット	名称	R/W	初期値	端子名称	機能 0 MUX=0	機能 1 MUX=1
32-2	-	R	0	-	予約	予約
1	PE_MUX1	R/W	0	PE1	PIO_E1	I2C_SDA
0	PE_MUX0	R/W	0	PE0	PIO_E0	I2C_SCL

## 2.5. PIO

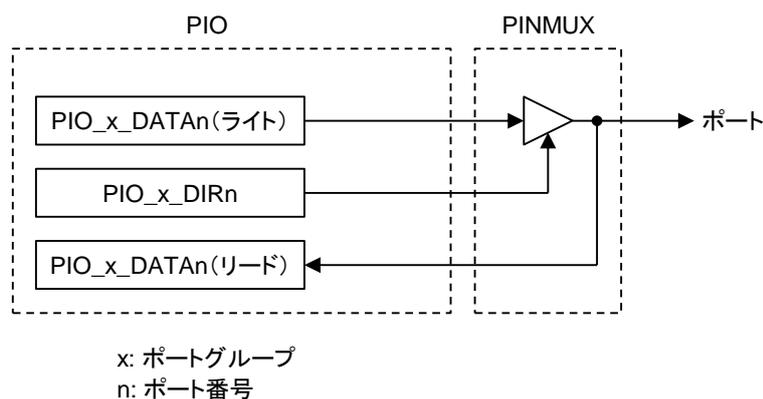
PIO はモジュールの各端子の入出力及び端子状態を制御します。

### 2.5.1. 特徴

本ファンクションの特徴を下記に示します。

- ・ポート数 : 最大 66 本
- ・ピン毎の入出力設定機能

### 2.5.2. ブロック図



### 2.5.3. レジスタ説明

#### 2.5.3.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	PIO_A_DATA	R/W	PIO A データレジスタ
0x04	PIO_A_DIR	R/W	PIO A ディレクションレジスタ
0x08	PIO_B_DATA	R/W	PIO B データレジスタ
0x0C	PIO_B_DIR	R/W	PIO B ディレクションレジスタ
0x10	PIO_C_DATA	R/W	PIO C データレジスタ
0x14	PIO_C_DIR	R/W	PIO C ディレクションレジスタ
0x18	PIO_D_DATA	R/W	PIO D データレジスタ
0x1C	PIO_D_DIR	R/W	PIO D ディレクションレジスタ
0x20	PIO_E_DATA	R/W	PIO E データレジスタ
0x24	PIO_E_DIR	R/W	PIO E ディレクションレジスタ

## 2.5.3.2. PIO\_x データレジスタ (PIO\_x\_DATA)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15	PIO_x15_DATA	R/W	0	PIO_x の n ビット (n は 0~15、PIO_E のみ 0~1) のデータ制御。0:Low/1:High PIO_x ディレクションレジスタが 1 の時、本レジスタにデータを書き込むことによりポート状態を設定することができます。 又、PIO_x ディレクションレジスタが 0 の時、本レジスタをリードすることにより、ポートの状態を取得することができます。
14	PIO_x14_DATA	R/W	0	
13	PIO_x13_DATA	R/W	0	
12	PIO_x12_DATA	R/W	0	
11	PIO_x11_DATA	R/W	0	
10	PIO_x10_DATA	R/W	0	
9	PIO_x9_DATA	R/W	0	
8	PIO_x8_DATA	R/W	0	
7	PIO_x7_DATA	R/W	0	
6	PIO_x6_DATA	R/W	0	
5	PIO_x5_DATA	R/W	0	
4	PIO_x4_DATA	R/W	0	
3	PIO_x3_DATA	R/W	0	
2	PIO_x2_DATA	R/W	0	
1	PIO_x1_DATA	R/W	0	
0	PIO_x0_DATA	R/W	0	

## 2.5.3.3. PIO\_x ディレクションレジスタ (PIO\_x\_DIR)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約ビット。
15	PIO_x15_DIR	R/W	0	PIO_x の n ビット (n は 0~15、PIO_E のみ 0~1) の方向制御。0:入力/1:出力
14	PIO_x14_DIR	R/W	0	
13	PIO_x13_DIR	R/W	0	
12	PIO_x12_DIR	R/W	0	
11	PIO_x11_DIR	R/W	0	
10	PIO_x10_DIR	R/W	0	
9	PIO_x9_DIR	R/W	0	
8	PIO_x8_DIR	R/W	0	
7	PIO_x7_DIR	R/W	0	
6	PIO_x6_DIR	R/W	0	
5	PIO_x5_DIR	R/W	0	
4	PIO_x4_DIR	R/W	0	
3	PIO_x3_DIR	R/W	0	
2	PIO_x2_DIR	R/W	0	
1	PIO_x1_DIR	R/W	0	
0	PIO_x0_DIR	R/W	0	

## 2.6. SPI

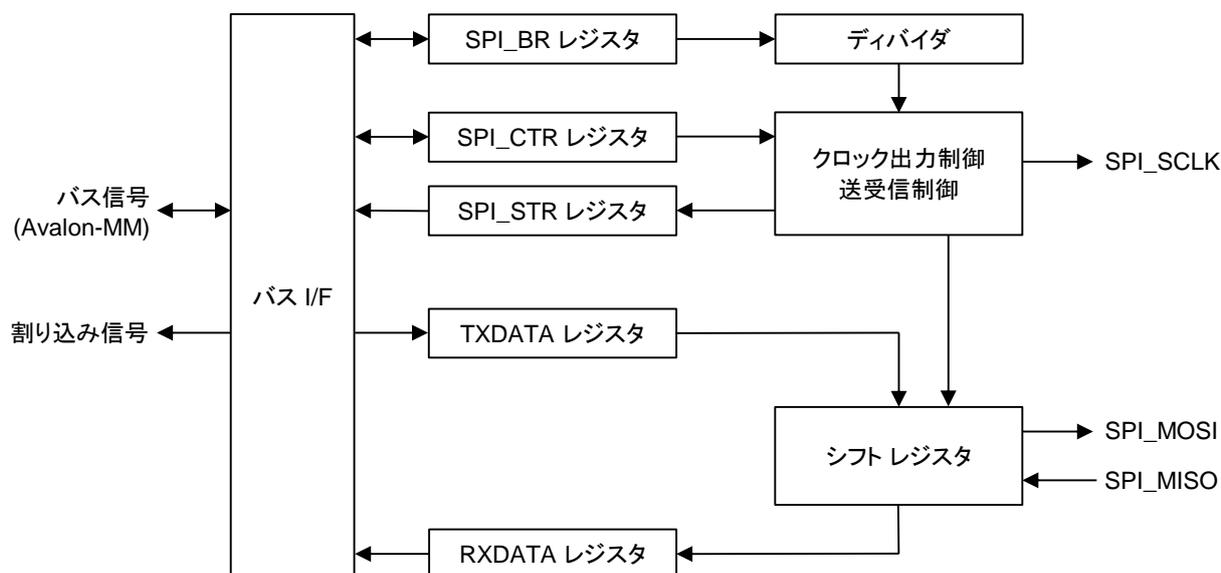
シリアルペリフェラルインターフェースは同期式のシリアル通信が可能です。

### 2.6.1. 特徴

本ファンクションの特徴を下記に示します。

- ・接続方式 : マスタモード、3 線式、又は GPIO と組み合わせて 4 線式
- ・ビットレート : ディバイダにより可変 (312.5kbps~40Mbps)
- ・データフォーマット : データ長 8bit、MSB ファースト
- ・SPI モード : モード 0~3 に対応可能 (CPOL、CPHA 設定)
- ・割り込み : 送信バッファエンプティ

### 2.6.2. ブロック図



### 2.6.3. レジスタ説明

#### 2.6.3.1. レジスタマップ

SPI のレジスタを下記に示します。

オフセット	略称	R/W	レジスタ名
0x00	SPI_CTR	R/W	コントロールレジスタ
0x04	SPI_STR	R	ステータスレジスタ
0x08	SPI_DTR	R/W	データレジスタ
0x0C	SPI_BR	R/W	ビットレートレジスタ

## 2.6.3.2. コントロールレジスタ (SPI\_CTRL)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7	INTE	R/W	0	割り込みイネーブル。このビットを 1 にすると、割り込みがイネーブルされます。割り込み要因は送信バッファエンプティです。
6	-	R	0	予約
5	-	R	0	予約
4	-	R	0	予約
3	-	R	0	予約
2	CPOL	R/W	0	クロック極性の設定 設定内容は SPI 信号タイミングを参照してください。
1	CPHA	R/W	0	クロック位相の設定 設定内容は SPI 信号タイミングを参照してください。
0	-	R	0	予約

## 2.6.3.3. ステータスレジスタ (SPI\_STR)

ビット	名称	R/W	初期値	説明
32-2	-	R	0	予約
1	TXEMP	R	1	送信バッファエンプティ このビットは送信バッファが空の時 1 になります。
0	TXRDY	R	1	送信シフトレジスタレディ このビットはシフトレジスタが空の時(転送していない時) 1 になります。

## 2.6.3.4. データレジスタ (SPI\_DTR)

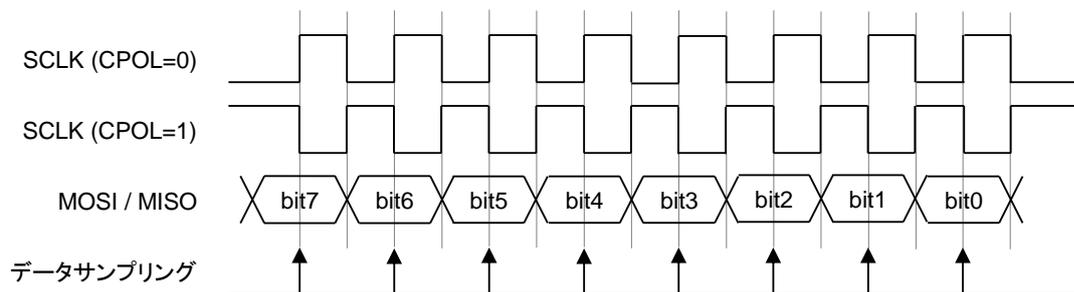
ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	RXDATA / TXDATA	R/W	0	受信バッファ/送信バッファ

## 2.6.3.5. ビットレートレジスタ (SPI\_BR)

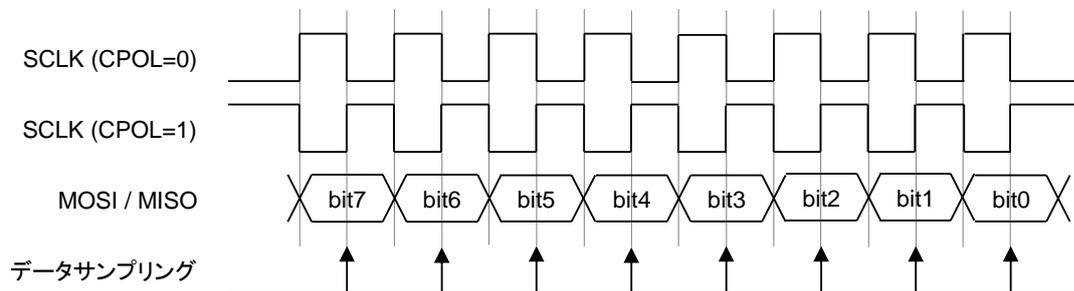
ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	BR	R/W	0	これらのビットに設定した値により、下記計算に基づいたビットレートで転送します。 $sclk = clk / ((BR + 1) \times 2)$ sclk: SPI クロック、clk: マスタクロック 80MHz

## 2.6.4. SPI 入出力タイミング

## CPHA=0



## CPHA=1



## 2.7. PWM

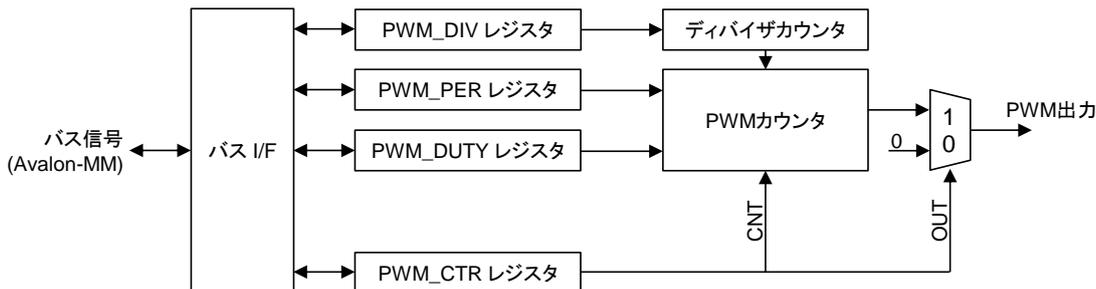
PWM でパルス幅変調方式の制御が可能です。

### 2.7.1. 特徴

本ファンクションの特徴を下記に示します。

- ・プリスケアラ : ディバイザにより基準クロックを変更可能(1.22kHz~80MHz)
- ・PWM 周期 : 周期レジスタにより設定
- ・デューティ : デューティレジスタにより設定
- ・出カインーブル : コントロールレジスタにより設定

### 2.7.2. ブロック図



### 2.7.3. レジスタ説明

#### 2.7.3.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	PWM_CTR	R/W	コントロールレジスタ
0x04	PWM_DIV	R/W	ディバイザレジスタ
0x08	PWM_PER	R/W	周期レジスタ
0x0C	PWM_DUTY	R/W	デューティレジスタ

#### 2.7.3.2. コントロールレジスタ (PWM\_CTR)

ビット	名称	R/W	初期値	説明
32-5	-	R	0	予約
4	OUT	R/W	0	出カインーブル。このビットが 1 の時、PWM 出力がインーブルされ、ビットが 0 の時、PWM 出力は 0 に固定されます。
3	-	R	0	予約
2	CNT	R/W	0	カウンタイネーブル。このビットが 1 の時、カウンタがスタートし、ビットが 0 の時ストップします。
1	-	R	0	予約
0	-	R	0	予約

#### 2.7.3.3. ディバイザレジスタ (PWM\_DIV)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	DIV	R/W	0	これらのビットを下記で示される PWM の基準クロックを設定します。 基準クロック=80MHz / (DIV+1)

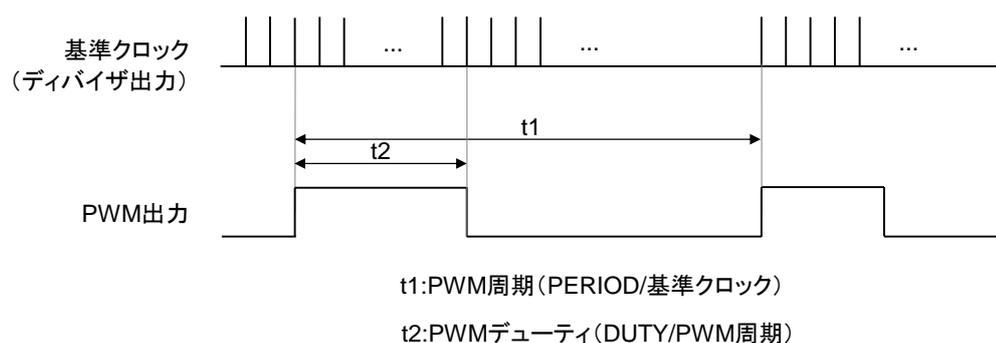
## 2.7.3.4. 周期レジスタ (PWM\_PER)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	PERIOD	R/W	1	これらのビットを下記で示される PWM の周期を設定します。 本レジスタは 1 以上を設定してください。 PWM 周期 = PERIOD / 基準クロック

## 2.7.3.5. デューティレジスタ (PWM\_DUTY)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	DUTY	R/W	0	これらのビットを下記で示されるデューティを設定します。 デューティ = DUTY / PWM 周期  DUTY = 0 の時、デューティ 0% DUTY = PERIOD の時 デューティ 100%

## 2.7.4. PWM 出力タイミング



## 2.8. I2C

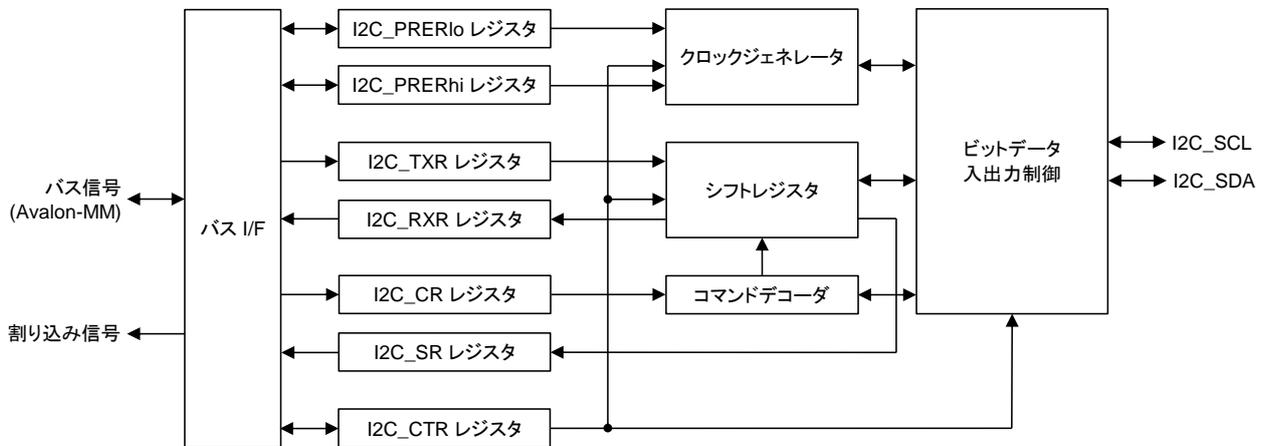
フィリップス社 I2C インターフェースに対応したデバイスとの通信が可能です。

### 2.8.1. 特徴

本ファンクションの特徴を下記に示します。

- ・転送速度 : 100kbps 又は 400kbps
- ・フィリップス I2C インターフェース マスタモード (スレーブは非対応)
- ・プログラマブルクロック周波数
- ・アクノリッジビットの制御
- ・割り込み機能 : 割り込み要因は ACK、送信完了、アービトレーションロスト
- ・スタート/ストップ/再スタート/ACK 生成
- ・スタート/ストップ/再スタート検出

### 2.8.2. ブロック図



### 2.8.3. レジスタ説明

#### 2.8.3.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	I2C_PRERL	R/W	クロックプリスケアラ Low バイトレジスタ
0x04	I2C_PRERH	R/W	クロックプリスケアラ High バイトレジスタ
0x08	I2C_CTR	R/W	コントロールレジスタ
0x0C	I2C_TXR/ I2C_RXR	W/ R	送信レジスタ/ 受信レジスタ
0X10	I2C_CR/ I2C_SR	W/ R	コマンドレジスタ/ ステータスレジスタ

## 2.8.3.2. クロックプリスケアラレジスタ (I2C\_PRERL, I2C\_PRERH)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	PRERL	R/W	0xFF	これらのビットは SCL クロックラインのプリスケアラに使用します。

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	PRERH	R/W	0xFF	これらのビットは SCL クロックラインのプリスケアラに使用します。

I2C\_PRERL と I2C\_PRERH で指定される 16 ビットで SCL のプリスケール値を設定します。I2C コントローラはこれらのレジスタで設定されたクロックの 5 倍のクロックを I2C インターフェースの SCL の周波数に設定します。プリスケール値の計算式を下記に示します。

計算式: 設定値 = 内部クロック周波数 / (5 \* SCL 周波数)

設定例:

内部クロック = 80MHz, SCL 周波数 = 100kHz

設定値 = 80 MHz / (5 \* 100 kHz) - 1 = 159 = 0x9F

## 2.8.3.3. コントロールレジスタ (I2C\_CTR)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7	EN	R/W	0	I2C イネーブル このビットが 1 の時、I2C がイネーブルされます。 このビットが 0 の時、I2C がディセーブルされます。
6	IEN	R/W	0	割り込みイネーブル このビットが 1 の時、割り込みがイネーブルされます。 このビットが 0 の時、割り込みがディセーブルされます。
5-0	-	R	0	予約

## 2.8.3.4. 送信レジスタ (I2C\_TXR)

ビット	名称	R/W	初期値	説明
32-8	-	W	0	予約
7-0	DATA	W	0	送信データ 8 ビットを設定します。 スレーブアドレス設定時は LSB は 1:Read / 0:Write とし 上位 7 ビットにスレーブアドレスを設定します。

## 2.8.3.5. 受信レジスタ (I2C\_RXR)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	DATA	R	0	受信データ 8 ビット

## 2.8.3.6. コマンドレジスタ (I2C\_CR)

ビット	名称	R/W	初期値	説明
32-8	-	W	0	予約
7	STA	W	0	本ビットを 1 にすると、スタートコンディションを発生します。本ビットは自動的に 0 にクリアされます。
6	STO	W	0	本ビットを 1 にすると、ストップコンディションを発生します。本ビットは自動的に 0 にクリアされます。
5	RD	W	0	本ビットを 1 にすると、スレーブからリードします。本ビットは自動的に 0 にクリアされます。
4	WR	W	0	本ビットを 1 にすると、スレーブへライトします。本ビットは自動的に 0 にクリアされます。
3	ACK	W	0	本ビットを 0 にすると、受信時に ACK を送信します。本ビットを 1 にすると、受信時に NACK を送信します。
2-1	-	W	0	予約
0	IACK	W	0	本ビットを 1 にすると、割り込みがクリアされます。

## 2.8.3.7. ステータスレジスタ (I2C\_SR)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7	RxACK	R	0	スレーブからの ACK 受信 本ビットが 1 の時は NACK、0 の時は ACK を示します。
6	-	R	0	予約
5	AL	R	0	アービトレーションロスト 本ビットが 1 の時、I2C コントローラはアービトレーションにロストしたことを示します。ロストの条件は下記の通りです。 ・要求していないストップコンディションを検出した場合 ・SDA を High にドライブしたが SDA が Low になった場合
4-2	-	R	0	予約
1	TIP	R	0	Transfer In Progress 本ビットが 1 の時、転送中を示します。 本ビットが 0 の時、転送が完了したことを示します。
0	IF	R	0	割り込みフラグ 本ビットが 1 の時、割り込みをペンディングしていることを示します。

#### 2.8.4. IP ライセンス

本機能に使用されている IP は OpenCores の I2C Master Core を使用しています。I2C Master Core は BSD ライセンスで提供されています。下記に I2C Master Core の著作権表示、条文及び免責事項を原文のまま転載します。

Copyright (C) 2001 Richard Herveille

[richard@asics.ws](mailto:richard@asics.ws)

This source file may be used and distributed without restriction provided that this copyright statement is not removed from the file and that any derivative work contains the original copyright notice and the associated disclaimer.

THIS SOFTWARE IS PROVIDED ``AS IS" AND WITHOUT ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT SHALL THE AUTHOR OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

## 2.9. UART

Altera 社の UART Core IP を使用しています。詳細は同社が発行しています“Embedded Peripherals IP User Guide”(下記 URL)の UART Core の章を確認してください。

[http://www.altera.com/literature/ug/ug\\_embedded\\_ip.pdf](http://www.altera.com/literature/ug/ug_embedded_ip.pdf)

### 2.9.1. 特徴

本ファンクションの特徴を下記に示します。

- ・パリティ : 無
- ・データビット : 8ビット固定
- ・ストップビット : 1ビット固定
- ・ハードウェアフロー制御 : CTS / RTS
- ・ボーレート : ボージェネレータにより可変
- ・割り込み

※データビット長の変更、ストップビットの変更はできません。

### 2.9.2. レジスタ説明

#### 2.9.2.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	UART_RXR	R	受信データレジスタ
0x04	UART_TXR	W	送信データレジスタ
0x08	UART_STR	RC	ステータスレジスタ
0x0C	UART_CTR	R/W	コントロールレジスタ
0x10	UART_DIV	R/W	ディバイザレジスタ
0x14	-※	R	予約

※本デザインには UART\_EOP レジスタはありません。

#### 2.9.2.2. 受信データレジスタ (UART\_RXR)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	RXDATA	R	0	RXD から受信したデータを保持します。 新しいデータを受信すると、本レジスタにデータが転送され、ステータスレジスタの RRDY ビットが 1 を設定します。 本レジスタが読み出されると、RRDY ビットは 0 にリセットされます。 RRDY ビットが設定されている(つまり、前のデータが読み出されていない)間に、データが本レジスタに転送されると、レシーバ・オーバーラン・エラーが発生し、ステータスレジスタの ROE ビットが 1 に設定されます。

## 2.9.2.3. 送信データレジスタ (UART\_TXR)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	予約
7-0	TXDATA	W	0	送信データを本レジスタに書き込みます。ステータスレジスタの TRDY ビットが 1 になるまで、データを本レジスタに書き込んで はなりません。 このレジスタにデータが書き込まれると、TRDY ビットは 0 に 設定されます。 書き込まれたデータがトランスマッタ・シフト・レジスタに 転送されると、TRDY ビットは 1 に設定されます。 TRDY ビットが 0 の時にデータが本レジスタに書き込まれると、 データは不定になり、レジスタを読み出すと不定値が出力され ます。

## 2.9.2.4. ステータスレジスタ (UART\_STR)

ビット	名称	R/W	初期値	説明
32-13	-	R	0	予約
12	EOP	R	0	EOP 検出。 本デザインの UART は EOP 検出をサポートしていません。 本ビットは読み出すと常に 0 となります。
11	CTS	R	0	CTS(Clear To Send)信号ビット。 このビットは、CTS <sub>n</sub> 入力の反転が反映されます。
10	DCTS	RC	0	CTS(Clear To Send)信号変化ビット。 このビットは、CTS <sub>n</sub> 入力のレベル変化(立ち上がり又は 立ち下り)が検出(内部クロックに同期してサンプリング) されると 1 に設定されます。 本ビットは、ステータスレジスタ書き込みによってクリアされる まで 1 を保持します。
9	-	R	0	予約
8	E	RC	0	例外ビット。 このビットは例外条件が発生したことを示します。 TOE,ROE,BRK,FE,PE ビットを論理 OR したものを 反映します。 本ビットは、ステータスレジスタ書き込みによってクリア されるまで 1 を保持します。
7	RRDY	R	0	受信データ・レディ。 このビットは RXDATA レジスタの状態を示します。 RXDATA レジスタが空の時、つまり読み出しできない状態の 場合、本ビットは 0 になります。 新しいデータが RXDATA レジスタへ転送されると、 本ビットは 1 に設定されます。 また、RXDATA レジスタを読み出すと、0 にリセットされます。
6	TRDY	R	0	送信レディ。 このビットは、TXDATA レジスタの状態を示します。 TXDATA レジスタが空の時、本ビットは 1 になります。 TXDATA レジスタにデータがセットされている場合、 0 になります。

ビット	名称	R/W	初期値	説明
5	TMT	R	0	送信エンプティ。 このビットは、トランスミッタ・シフト・レジスタの状態を示します。 シフト・レジスタが、TXD ピンからデータをシフトアウトしている間、本ビットは 0 に設定されます。 シフト・レジスタがデータ送信中でない時、本ビットは 1 になります。
4	TOE	RC	0	送信オーバーラン・エラー。 前のデータがシフト・レジスタに転送される前(つまり、TRDY ビットが 0 の間)に、新しいデータが TXDATA レジスタに書き込まれると、送信オーバーラン・エラーが発生します。 この時本ビットは 1 に設定されます。 本ビットは、ステータスレジスタ書き込みによってクリアされるまで 1 を保持します。
3	ROE	RC	0	受信オーバーラン・エラー。 前のデータが読み出される前(つまり、RRDY ビットが 1 の間)に、新しいデータが RXDATA レジスタに転送されると、受信オーバーラン・エラーが発生します。この時本ビットは 1 に設定され、RXDATA レジスタは新しいデータで上書きされます。 本ビットは、ステータスレジスタ書き込みによってクリアされるまで 1 を保持します。
2	BRK	RC	0	ブ레이크検出。 RXD ピンが全データ時間(データビット+スタートビット+ストップビット)より長く 0 を保持するとブ레이크を検出し、本ビットは 1 に設定されます。 本ビットは、ステータスレジスタ書き込みによってクリアされるまで 1 を保持します。
1	FE	RC	0	フレーミング・エラー。 フレーミング・エラーは、レシーバがストップビットの検出に失敗すると、このビットは 1 に設定されます。 本ビットに 1 が設定されている時、RXDATA レジスタを読み出すと、不定値を出力します。 本ビットは、ステータスレジスタ書き込みによってクリアされるまで 1 を保持します。
0	PE	R	0	パリティ・エラー。 本デザインの UART はパリティ検出をサポートしていません。 本ビットは読み出すと常に 0 となります。

## 2.9.2.5. コントロールレジスタ (UART\_CTR)

コントロールレジスタの各ビットは、ステータスレジスタの対応するビットの IRQ をイネーブルします。ステータスビットとそれに対応する割り込みイネーブルビットが両方とも 1 の時、コアは IRQ を生成します。

ビット	名称	R/W	初期値	説明
32-13	-	R	0	予約
12	IEOP	R/W	0	EOP 状態に対する割り込みイネーブル。 本デザインの UART は EOP 検出をサポートしていません。 本ビットは読み書きできますが、機能は無効です。
11	RTS	R/W	0	RTS(Request To Send)信号。 このビットは、RTSn 出力に直接反映します。RTSn 出力は負論理の為、本ビットが 1 の時、出力には 0 がドライブされます。 このビットはいつでも書き込み可能です。
10	IDCTS	R/W	0	CTS 信号変化に対する割り込みイネーブル。
9	TRBK	R/W	0	送信ブレイク。 このビットにより、TXD 出力にブレイク・データを送信する事ができます。 本ビットに 1 が設定されると、TXD 出力は強制的に 0 になります。また、このビットは処理中の送信を中断します。 所定のブレイク期間が経過した後、このビットを再度 0 にリセットする必要があります。
8	IE	R/W	0	例外に対する割り込みイネーブル。
7	IRRDY	R/W	0	読み出しレディに対する割り込みイネーブル。
6	ITRDY	R/W	0	送信レディに対する割り込みイネーブル。
5	ITMT	R/W	0	トランスミッタ・シフト・レジスタ・エンプティに対する割り込みイネーブル。
4	ITOE	R/W	0	トランスミッタ・オーバーラン・エラーに対する割り込みイネーブル。
3	IROE	R/W	0	レシーバ・オーバーラン・エラーに対する割り込みイネーブル。
2	IBRK	R/W	0	ブレイク検出に対する割り込みイネーブル。
1	IFE	R/W	0	フレーミング・エラーに対する割り込みイネーブル。
0	IPE	R/W	0	パリティ・エラーに対する割り込みイネーブル。 本デザインの UART はパリティ検出をサポートしていません。 本ビットは読み書きできますが、機能は無効です。

## 2.9.2.6. ディバイザレジスタ (UART\_DIV)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	DIV	R/W	0x02B6	これらのビットは、以下の式に基づきボーレート・クロックの生成に使用されます。 ボーレート = (クロック周波数) / (DIV + 1)

## 2.10. Timer

Altera 社の Interval Timer Core IP を使用しています。詳細は同社が発行しています“Embedded Peripherals IP User Guide”(下記 URL)の Interval Timer Core の章をご確認ください。

[http://www.altera.com/literature/ug/ug\\_embedded\\_ip.pdf](http://www.altera.com/literature/ug/ug_embedded_ip.pdf)

### 2.10.1. 特徴

本ファンクションの特徴を下記に示します。

- ・カウンタサイズ : 32 ビット
- ・基準クロック : 80MHz
- ・割り込み

### 2.10.2. レジスタ説明

#### 2.10.2.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	TIMER_STR	RC	ステータスレジスタ
0x04	TIMER_CTR	R/W	コントロールレジスタ
0x08	TIMER_PERL	R/W	タイマ周期レジスタ下位ビット
0x0C	TIMER_PERH	R/W	タイマ周期レジスタ上位ビット
0x10	TIMER_SNPL	R/W	スナップショットレジスタ下位ビット
0x14	TIMER_SNPH	R/W	スナップショットレジスタ上位ビット

#### 2.10.2.2. ステータスレジスタ (TIMER\_STR)

ビット	名称	R/W	初期値	説明
32-2	-	R	0	予約
1	RUN	R	0	このビットは、内部カウンタ動作中は 1 となり、それ以外は 0 になります。ステータスレジスタに書き込みを行っても、本ビットは変更されません。
0	TO	RC	0	タイムアウトビット。 このビットは、内部カウンタが 0 に達すると、1 に設定されます。 本ビットは、ステータスレジスタに 0 を書き込み、クリアされるまで 1 を保持します。

## 2.10.2.3. コントロールレジスタ (TIMER\_CTR)

ビット	名称	R/W	初期値	説明
32-4	-	R	0	予約
3	STOP	W	0	このビットに 1 を書き込むと、内部カウンタが停止します。既にタイマが停止している場合、このビットに 1 を書き込んでも、0 を書き込んでも、効果はありません。START ビット、本ビットの両方同時に 1 を書き込んだ場合、結果は不定になります。
2	START	W	0	このビットに 1 を書き込むと、内部カウンタがカウント・ダウンを開始します。タイマが停止している場合、このビットに 1 を書き込むと、タイマは現在カウンタに保持されている数値からカウントを再開します。既にタイマが動作している場合、このビットに 1 を書き込んでも、0 を書き込んでも、効果はありません。STOP ビット、本ビットの両方同時に 1 を書き込んだ場合、結果は不定になります。
1	CONT	RW	0	CONT(連続)ビットは、内部カウンタが 0 に達した時の動作を決定します。このビットが 1 の場合、カウンタは STOP ビットで停止されるまで連続して動作します。このビットが 0 の場合、カウンタは 0 に達した後、停止します。カウンタは 0 に達すると、本ビットに関係なくタイマ周期レジスタに格納された 32 ビット値を再ロードします。
0	ITO	RW	0	このビットが 1 の場合、タイマ・コアはステータスレジスタの TO ビットが 1 になると IRQ を生成します。本ビットが 0 であれば、タイマは IRQ を生成しません。

## 2.10.2.4. タイマ周期レジスタ下位ビット (TIMER\_PERL)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	PERL	R/W	0	タイムアウト周期値の下位 16 ビット。以下いずれかが発生すると、内部カウンタにタイマ周期レジスタ 32 ビット値がロードされます。 <ul style="list-style-type: none"> <li>・PERL/PERH レジスタいずれかへの書き込み動作</li> <li>・内部カウンタが 0 に到達</li> </ul> タイマの実際の周期は、PERL/PERH の値よりも 1 サイクル長くなります。

## 2.10.2.5. タイマ周期レジスタ上位ビット (TIMER\_PERH)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	PERH	R/W	0	<p>タイムアウト周期値の上位 16 ビット。            以下いずれかが発生すると、内部カウンタにタイマ周期レジスタ 32 ビット値がロードされます。</p> <ul style="list-style-type: none"> <li>・PERL/PERH レジスタいずれかへの書き込み動作</li> <li>・内部カウンタが 0 に到達</li> </ul> <p>タイマの実際の周期は、PERL/PERH の値よりも 1 サイクル長くなります。</p>

## 2.10.2.6. スナップショットレジスタ下位ビット (TIMER\_SNPL)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	SNPL	R/W	0	<p>カウンタ値のコピー、下位 16 ビット。            SNPL/SNPH レジスタのいずれかに書き込みを実行する(書き込みデータは無視されます)ことにより、現在の 32 ビット内部カウンタ値をコピーする事ができます。            スナップショットが発生しても、内部カウンタ動作に影響しません。</p>

## 2.10.2.7. スナップショットレジスタ上位ビット (TIMER\_SNPB)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	SNPH	R/W	0	<p>カウンタ値のコピー、上位 16 ビット。            SNPL/SNPH レジスタのいずれかに書き込みを実行する(書き込みデータは無視されます)ことにより、現在の 32 ビット内部カウンタ値をコピーする事ができます。            スナップショットが発生しても、内部カウンタ動作に影響しません。</p>

## 2.11. WDT

Altera 社の Interval Timer Core IP を Watchdog として使用しています。詳細は同社が発行しています“Embedded Peripherals IP User Guide”(下記 URL)の Interval Timer Core の章をご確認ください。

[http://www.altera.com/literature/ug/ug\\_embedded\\_ip.pdf](http://www.altera.com/literature/ug/ug_embedded_ip.pdf)

### 2.11.1. 特徴

本ファンクションの特徴を下記に示します。

- ・カウンタサイズ : 32 ビット
- ・基準クロック : 80MHz
- ・タイムアウト時動作 : リセット

### 2.11.2. レジスタ説明

#### 2.11.2.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	WDT_STR	RC	ステータスレジスタ
0x04	WDT_CTR	R/W	コントロールレジスタ
0x08	WDT_PERL	R/W	WDT 周期レジスタ下位ビット
0x0C	WDT_PERH	R/W	WDT 周期レジスタ上位ビット

#### 2.11.2.2. ステータスレジスタ (WDT\_STR)

ビット	名称	R/W	初期値	説明
32-2	-	R	0	予約
1	RUN	R	0	このビットは、内部カウンタ動作中は 1 となり、それ以外は 0 になります。 ステータスレジスタに書き込みを行っても、本ビットは変更されません。
0	TO	RC	0	タイムアウトビット。 このビットは、内部カウンタが 0 に達すると、1 に設定されず。 本ビットは、ステータスレジスタに 0 を書き込み、クリアされるまで 1 を保持します。

## 2.11.2.3. コントロールレジスタ (WDT\_CTRL)

ビット	名称	R/W	初期値	説明
32-4	-	R	0	予約
3	STOP	W	0	このビットに 1 を書き込むと、内部カウンタが停止します。既にタイマが停止している場合、このビットに 1 を書き込んでも、0 を書き込んでも、効果はありません。START ビット、本ビットの両方同時に 1 を書き込んだ場合、結果は不定になります。
2	START	W	0	このビットに 1 を書き込むと、内部カウンタがカウント・ダウンを開始します。タイマが停止している場合、このビットに 1 を書き込むと、タイマは現在カウンタに保持されている数値からカウントを再開します。既にタイマが動作している場合、このビットに 1 を書き込んでも、0 を書き込んでも、効果はありません。STOP ビット、本ビットの両方同時に 1 を書き込んだ場合、結果は不定になります。
1	CONT	RW	0	CONT(連続)ビットは、内部カウンタが 0 に達した時の動作を決定します。このビットが 1 の場合、カウンタは STOP ビットで停止されるまで連続して動作します。このビットが 0 の場合、カウンタは 0 に達した後で停止します。カウンタは 0 に達すると、本ビットに関係なくタイマ周期レジスタに格納された 32 ビット値を再ロードします。
0	ITO	RW	0	このビットが 1 の場合、タイマ・コアはステータスレジスタの TO ビットが 1 になると IRQ を生成します。本ビットが 0 であれば、タイマは IRQ を生成しません。

## 2.11.2.4. WDT 周期レジスタ下位ビット (WDT\_PERL)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	PERL	R/W	0	タイムアウト周期値の下位 16 ビット。以下いずれかが発生すると、内部カウンタにタイマ周期レジスタ 32 ビット値がロードされます。 <ul style="list-style-type: none"> <li>・PERL/PERH レジスタいずれかへの書き込み動作</li> <li>・内部カウンタが 0 に到達</li> </ul> タイマの実際の周期は、PERL/PERH の値よりも 1 サイクル長くなります。

## 2.11.2.5. WDT 周期レジスタ上位ビット (WDT\_PERH)

ビット	名称	R/W	初期値	説明
32-16	-	R	0	予約
15-0	PERH	R/W	0	タイムアウト周期値の上位 16 ビット。以下いずれかが発生すると、内部カウンタにタイマ周期レジスタ 32 ビット値がロードされます。 <ul style="list-style-type: none"> <li>・PERL/PERH レジスタいずれかへの書き込み動作</li> <li>・内部カウンタが 0 に到達</li> </ul> タイマの実際の周期は、PERL/PERH の値よりも 1 サイクル長くなります。

## 2.12. EINT(外部割り込み)

外部端子 EINT0～EINT7 による割り込みをサポートしています。

## 2.12.1. 特徴

本ファンクションの特徴を下記に示します。

- ・割り込みポート : 最大 8 本 (EINT0～EINT7)
- ・割り込み端子機能 : レベル / エッジ
- ・レベル割り込み : High / Low
- ・エッジ割り込み : 立ち上り / 立ち下り
- ・ピン毎の割り込み許可機能

## 2.12.2. レジスタ説明

## 2.12.2.1. レジスタマップ

オフセット	略称	R/W	レジスタ名
0x00	EINT_ENA	R/W	割り込みイネーブルレジスタ
0x01	EINT_STA	R/W	割り込みステータスレジスタ
0x02	EINT_MODE	R/W	割り込みモードレジスタ
0x03	EINT_POL	R/W	割り込み極性レジスタ

## 2.12.2.2. 割り込みイネーブルレジスタ (EINT\_ENA)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	
7	ENA7	R/W	0	EINTx (x は 1～7) による割り込みの許可。 ENAx を 1 にすると EINTx による割り込みが許可されます。 ENAx を 0 にすると EINTx による割り込みが禁止されます。
6	ENA6	R/W	0	
5	ENA5	R/W	0	
4	ENA4	R/W	0	
3	ENA3	R/W	0	
2	ENA2	R/W	0	
1	ENA1	R/W	0	
0	ENA0	R/W	0	

## 2.12.2.3. 割り込みステータスレジスタ (EINT\_STA)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	
7	STA7	R/W	0	ENAx (x は 1～7) が 1 の時、EINTx (x は 1～7) による割り込みが発生すると STAx は 1 となります。 STAx のクリア条件はモードにより異なります。 EINTx がレベルモード (MODEx=0) の場合、EINTx の割り込み要因を取り除くことにより 0 になります。
6	STA6	R/W	0	
5	STA5	R/W	0	
4	STA4	R/W	0	
3	STA3	R/W	0	
2	STA2	R/W	0	
1	STA1	R/W	0	
0	STA0	R/W	0	EINTx がエッジモード (MODEx=1) の場合、STAx が 1 の時に STAx に 0 をライトすると 0 となります。

## 2.12.2.4. 割り込みモードレジスタ (EINT\_MODE)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	
7	MODE7	R/W	0	EINTx (x は 1~7) の割り込みセンス方法の選択  MODEx を 1 にすると EINTx によるエッジ割り込みが選択されます。 MODEx を 0 にすると EINTx によるレベル割り込みが選択されます。
6	MODE6	R/W	0	
5	MODE5	R/W	0	
4	MODE4	R/W	0	
3	MODE3	R/W	0	
2	MODE2	R/W	0	
1	MODE1	R/W	0	
0	MODE0	R/W	0	

## 2.12.2.5. 割り込み極性レジスタ (EINT\_POL)

ビット	名称	R/W	初期値	説明
32-8	-	R	0	
7	POL7	R/W	0	EINTx (x は 1~7) の割り込み極性の選択  EINTx がレベルモード (MODEx=0) の場合、POLx を 1 にすると EINTx が High で割り込みが発生します。 POLx を 0 にすると EINTx が Low で割り込みが発生します。  EINTx がエッジモード (MODEx=1) の場合、POLx を 1 にすると EINTx の立ち上りエッジで割り込みが発生します。 POLx を 0 にすると EINTx の立ち下りエッジで割り込みが発生します。
6	POL6	R/W	0	
5	POL5	R/W	0	
4	POL4	R/W	0	
3	POL3	R/W	0	
2	POL2	R/W	0	
1	POL1	R/W	0	
0	POL0	R/W	0	

### 3. 更新履歴

Ver.	更新日付	内容
1.0.0	2016/11/01	新規作成